

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-345959

(43)Date of publication of application : 14.12.1999

(51)Int.Cl.

H01L 29/06
H01L 21/20
H01L 27/115
H01L 29/66
H01L 29/78
H01L 21/8247
H01L 29/788
H01L 29/792
H01L 33/00

(21)Application number : 10-252367

(71)Applicant : SHARP CORP

(22)Date of filing : 07.09.1998

(72)Inventor : UEDA TORU
YASUO FUMITOSHI
FUKUSHIMA YASUMORI

(30)Priority

Priority number : 10 84094

Priority date : 30.03.1998

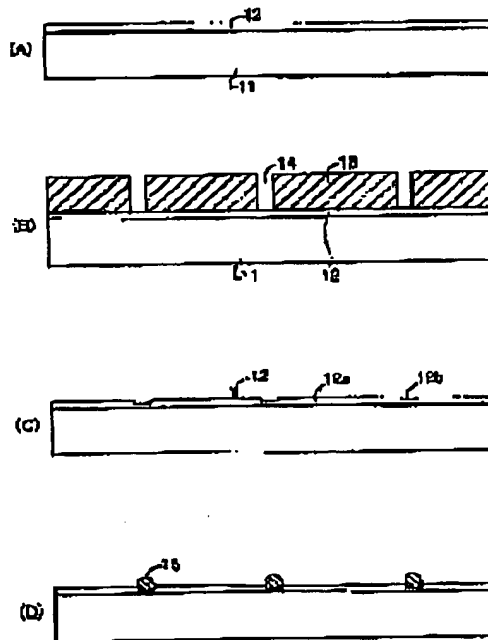
Priority country : JP

(54) MANUFACTURE OF MICROSTRUCTURE AND SEMICONDUCTOR DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the uniformity of the sizes and densities of fine particles or thin lines composed of a metal or semiconductor by making the grown positions of the particles or lines controllable, by only selectively forming a microstructure which is at least either the particles or lines on the surfaces of the areas having thin film thicknesses of an insulating thin film.

SOLUTION: After an oxide film 12 is formed on the surface of a silicon substrate 11, a resist pattern 13 having removed areas 14 is formed. Then, after areas 12b having thin film thicknesses are formed by etching the oxide film 12, the resist pattern 13 is removed and thin lines 15 are formed by only selectively growing Si crystals in the areas 12b having thin film thicknesses. Since the Si thin lines 15 having microstructures are only selectively formed in the areas 12b having thin film thicknesses of the oxide film 12 which is formed as a base insulating thin film, the growing positions of the thin lines 15 can be controlled by controlling the forming positions of the areas 12a, and the uniformity and reproducibility of the sizes and densities of the thin lines 15 are also improved.



LEGAL STATUS

[Date of request for examination] 19.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-345959

(43) 公開日 平成11年(1999)12月14日

(51) Int.Cl. ⁸	識別記号	F I
H 0 1 L	29/06	H 0 1 L 29/06
	21/20	21/20
	27/115	29/66
	28/68	33/00
	29/78	27/10
		A
		4 3 4

審査請求 未請求 請求項の数23 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願平10-252367

(22) 出願日 平成10年(1998)9月7日

(31) 優先権主張番号 特願平10-84094

(32) 優先日 平10(1998)3月30日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 上田 徹

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 安居 文利

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 福島 康守

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

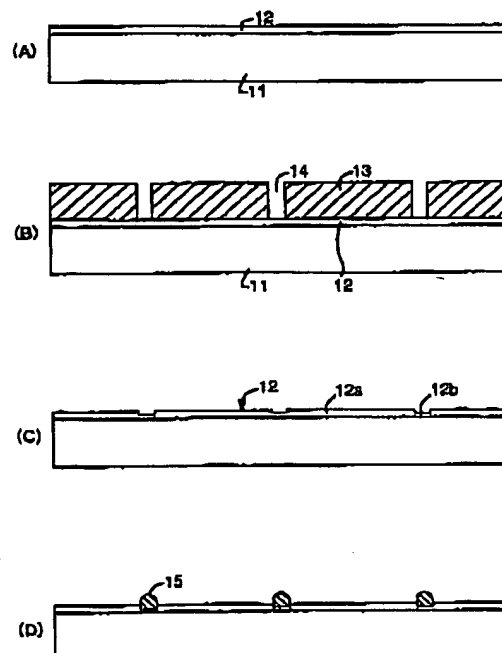
(74) 代理人 弁理士 青山 葆 (外1名)

(54) 【発明の名称】 微細構造の製造方法およびその微細構造を用いた半導体素子

(57) 【要約】

【課題】 微小粒または細線の成長位置、大きさおよび密度の均一性、再現性が良好であると共に、特殊な微細加工技術を用いることなく、簡単な工程によりコストを低減でき、歩留りがよくかつ生産性の高い量産性に適した優れた特性を有する半導体素子を実現できる微細構造の製造方法およびその微細構造を用いた半導体素子を提供する。

【解決手段】 半導体基板 1 1 表面に膜厚が厚い領域 1 2 a と膜厚が薄い領域 1 2 b とを有する酸化膜 1 2 を形成する。次に、上記酸化膜 1 2 の膜厚が薄い領域 1 2 b の表面のみに、シリコン Si からなる細線 1 5 である微細構造を選択的に形成する。



【特許請求の範囲】

【請求項1】 半導体基板表面の少なくとも一部に、膜厚が厚い領域と膜厚が薄い領域とを有する絶縁性薄膜を形成するステップと、

上記絶縁性薄膜の膜厚が薄い領域の表面のみに、金属または半導体からなる微小粒と細線のうちの少なくとも一方である微細構造を選択的に形成するステップとを有することを特徴とする微細構造の製造方法。

【請求項2】 請求項1に記載の微細構造の製造方法において、

上記半導体基板表面に上記絶縁性薄膜を形成するステップにおいて、上記半導体基板表面に絶縁性薄膜を形成した後に、その絶縁性薄膜の一部の領域のみを薄肉化することを特徴とする微細構造の製造方法。

【請求項3】 請求項1に記載の微細構造の製造方法において、

上記半導体基板表面に上記絶縁性薄膜を形成するステップにおいて、上記半導体基板表面に上記厚い領域となる第1の部分形成して、その第1の部分の一部の領域のみを除去した後、上記第1の部分が除去された上記半導体基板表面に上記薄い領域となる第2の部分形成することを特徴とする微細構造の製造方法。

【請求項4】 請求項3に記載の微細構造の製造方法において、

上記半導体基板表面に上記第1の部分形成した後、上記第1の部分をパターニングして上記半導体基板表面の一部を露出させ、その後、上記半導体基板表面の露出領域を酸化することにより上記第2の部分形成することを特徴とする微細構造の製造方法。

【請求項5】 請求項3に記載の微細構造の製造方法において、

上記半導体基板表面に上記第1の部分形成した後、上記第1の部分をパターニングして上記半導体基板表面の一部を露出させ、その後、上記半導体基板表面の露出領域上に上記第2の部分を堆積することを特徴とする微細構造の製造方法。

【請求項6】 請求項1に記載の微細構造の製造方法において、

上記半導体基板表面に上記絶縁性薄膜を形成するステップの前に、上記半導体基板表面にエッジ部を形成するステップを有し、

上記半導体基板表面に上記絶縁性薄膜を形成するステップにおいて、上記エッジ部が形成された上記半導体基板表面を酸化することにより上記絶縁性薄膜を形成して、上記絶縁性薄膜の上記エッジ部に他の領域よりも膜厚が薄い領域を形成することを特徴とする微細構造の製造方法。

【請求項7】 請求項1に記載の微細構造の製造方法において、

上記半導体基板表面に上記絶縁性薄膜を形成するステッ

(2)

特開平11-345959

2

プの前に、上記半導体基板表面に段差または尖端を有する形状を形成するステップを有し、

上記半導体基板表面に上記絶縁性薄膜を形成するステップにおいて、上記段差または尖端を有する形状が形成された上記半導体基板表面を酸化することにより上記絶縁性薄膜を形成して、上記絶縁性薄膜の上記段差または尖端を有する形状に他の領域よりも膜厚が薄い領域を形成することを特徴とする微細構造の製造方法。

【請求項8】 請求項1に記載の微細構造の製造方法において、

上記絶縁性薄膜の膜厚が薄い領域の表面のみに上記微細構造を形成するステップにおいて、上記半導体基板を反応室内に導入して、上記反応室内が 10^{-6} Torr以下の高真空になるように排気した後、上記反応室内に原料ガスを流し、その原料ガス分圧が 10^{-2} Torr以下の圧力下で、上記絶縁性薄膜の膜厚が薄い領域のみに上記微細構造を気相成長させることを特徴とする微細構造の製造方法。

【請求項9】 請求項8に記載の微細構造の製造方法において、

上記微細構造がシリコンからなる場合、原料ガスとしてモノシラン(SiH_4)、ジシラン(Si_2H_6)、トリシラン(Si_3H_8)、ジクロロシラン(SiH_2Cl_2)またはテトラクロロシラン(SiCl_4)のうちのいずれか1つを用いることを特徴とする微細構造の製造方法。

【請求項10】 請求項8に記載の微細構造の製造方法において、

上記微細構造がゲルマニウムからなる場合、原料ガスとしてモノゲルマン(GeH_4)、ジゲルマン(Ge_2H_6)または四フッ化ゲルマニウム(GeF_4)のうちのいずれか1つを用いることを特徴とする微細構造の製造方法。

【請求項11】 請求項8に記載の微細構造の製造方法において、

上記微細構造がシリコンゲルマニウムからなる場合、原料ガスとして、モノシラン(SiH_4)、ジシラン(Si_2H_6)、トリシラン(Si_3H_8)、ジクロロシラン(SiH_2Cl_2)またはテトラクロロシラン(SiCl_4)のうちのいずれか1つのガスと、モノゲルマン(GeH_4)、ジゲルマン(Ge_2H_6)または四フッ化ゲルマニウム(GeF_4)のうちのいずれか1つのガスとの混合ガスを用いることを特徴とする微細構造の製造方法。

【請求項12】 請求項8に記載の微細構造の製造方法において、

上記微細構造がアルミニウムからなる場合、原料に有機アルミニウムを用いることを特徴とする微細構造の製造方法。

【請求項13】 半導体基板表面にエッジ部を形成するステップと、

上記半導体基板表面の上記エッジ部以外の領域に絶縁性薄膜を形成するステップと、

(3)

特開平 11-345959

3

上記エッジ部の表面のみに半導体からなる細線である微細構造を選択的に形成するステップとを有することを特徴とする微細構造の製造方法。

【請求項 14】 請求項 13 に記載の微細構造の製造方法において、

上記エッジ部以外の領域に絶縁性薄膜を形成するステップにおいて、上記エッジ部が形成された上記半導体基板を酸化することにより上記絶縁性薄膜を形成して、上記絶縁性薄膜の上記エッジ部に他の領域よりも膜厚が薄い領域を形成した後、さらに上記絶縁性薄膜をエッチングすることにより上記エッジ部の半導体表面のみを露出させることを特徴とする微細構造の製造方法。

【請求項 15】 請求項 13 に記載の微細構造の製造方法において、

上記半導体からなる細線である微細構造を形成した後、上記半導体からなる細線である微細構造と上記半導体基板との接続領域を酸化して酸化膜に変質させるステップを有することを特徴とする微細構造の製造方法。

【請求項 16】 請求項 15 に記載の微細構造の製造方法において、

上記半導体からなる細線である微細構造と上記半導体基板との接続領域を酸化して酸化膜に変質させるステップにおいて、上記絶縁性薄膜を一旦除去した後、上記半導体からなる細線である微細構造と上記半導体基板との接続領域を酸化して酸化膜に変質させることを特徴とする微細構造の製造方法。

【請求項 17】 請求項 13 に記載の微細構造の製造方法において、

上記エッジ部の表面のみに上記半導体からなる細線である微細構造を選択的に形成するステップにおいて、上記半導体基板を反応室内に導入して、上記反応室内が 10^{-6} Torr 以下の高真空になるように排気した後、上記反応室内に原料ガスを流し、その原料ガス分圧が 10^{-2} Torr 以下の圧力下で、上記エッジ部の表面のみに上記半導体からなる細線である微細構造を気相成長させることを特徴とする微細構造の製造方法。

【請求項 18】 請求項 17 に記載の微細構造の製造方法において、

上記微細構造がシリコンからなる場合、原料ガスとしてモノシラン(SiH_4)、ジシラン(Si_2H_6)、トリシラン(Si_3H_8)、ジクロロシラン(SiH_2Cl_2)またはテトラクロロシラン(SiCl_4)のうちのいずれか 1 つを用いることを特徴とする微細構造の製造方法。

【請求項 19】 請求項 17 に記載の微細構造の製造方法において、

上記微細構造がゲルマニウムからなる場合、原料ガスとしてモノゲルマン(GeH_4)、ジゲルマン(Ge_2H_6)または四フッ化ゲルマニウム(GeF_4)のうちのいずれか 1 つを用いることを特徴とする微細構造の製造方法。

【請求項 20】 請求項 17 に記載の微細構造の製造方

4

法において、

上記微細構造がシリコンゲルマニウムからなる場合、原料ガスとして、モノシラン(SiH_4)、ジシラン(Si_2H_6)、トリシラン(Si_3H_8)、ジクロロシラン(SiH_2Cl_2)またはテトラクロロシラン(SiCl_4)のうちのいずれか 1 つのガスと、モノゲルマン(GeH_4)、ジゲルマン(Ge_2H_6)または四フッ化ゲルマニウム(GeF_4)のうちのいずれか 1 つのガスとの混合ガスを用いることを特徴とする微細構造の製造方法。

10 【請求項 21】 ソース領域と、ドレイン領域と、上記ソース領域と上記ドレイン領域との間のチャネル領域と、上記チャネル領域に流れるチャネル電流を制御するゲート領域と、上記チャネル領域と上記ゲート領域の間に位置する浮遊ゲート領域と、上記浮遊ゲート領域と上記ゲート領域との間の第 1 絶縁膜と、上記チャネル領域と上記浮遊ゲート領域との間の第 2 絶縁膜とを備え、上記浮遊ゲート領域は、請求項 1 乃至 20 のいずれか 1 つに記載の微細構造の製造方法により形成された微細構造であることを特徴とする微細構造を用いた半導体素子。

20 【請求項 22】 ソース領域と、ドレイン領域と、上記ソース領域と上記ドレイン領域との間のチャネル領域と、上記チャネル領域に流れるチャネル電流を制御するゲート領域と、上記チャネル領域と上記ゲート領域との間のゲート絶縁膜とを備え、上記チャネル領域は、請求項 1 乃至 11 および請求項 13 乃至 20 のいずれか 1 つに記載の微細構造の製造方法により形成された半導体からなる細線であることを特徴とする微細構造を用いた半導体素子。

30 【請求項 23】 請求項 1 乃至 11 のいずれか 1 つに記載の微細構造の製造方法により形成された半導体からなる微小粒と、上記微小粒を挟むように形成された絶縁膜と、上記絶縁膜をさらに挟むように形成された電極とを備え、上記電極間に電圧を印加することによって上記微小粒が発光することを特徴とする微細構造を用いた半導体素子。

【発明の詳細な説明】

【0001】

40 【発明の属する技術分野】 この発明は、絶縁性基板上に量子サイズ効果を発現させる程度に微小な金属または半導体からなる微小粒や細線を形成する微細構造の製造方法および単電子素子や量子効果素子として利用される微細構造を用いた半導体素子に関する。

【0002】

【従来の技術】 今や産業の基幹となったエレクトロニクスの進歩を支えてきた大規模集積回路(LSI)は、微細化によって大容量、高速、低消費電力の性能を飛躍的に向上させてきた。しかし、素子のサイズが $0.1\ \mu\text{m}$ 以下になると、従来の素子の動作原理の限界に到達すると考

5

えられ、新しい動作原理に基づいた新しい素子の研究が活発に行われている。この新しい素子としては、ナノメートルサイズの量子ドットや量子細線と呼ばれる微細構造を有するものがある。上記ナノメートルサイズの量子ドットは、種々の量子効果デバイスと共に特にクーロンブロック現象を用いた単電子デバイスへの応用のための研究が盛んに行われている。また、上記ナノメートルサイズの量子細線は、量子効果を利用した超高速トランジスタへの応用が期待されている。

【0003】また、今後のエレクトロニクスの新しい潮流として、電子回路と光通信回路との融合が模索されており、その際、LSI基板上に光電変換素子を搭載することが不可欠なため、LSIの主流であるSi系の材料が用いられた受光発光素子が必要となる。従来より、Si系材料で受光素子が実用化されてはいるが、発光に関しては、Si系IV族半導体が間接遷移型のバンドギャップを有しているために発光しないとされてきた。しかしながら、近年、10nm以下の大きさの微小結晶粒では、直接遷移型のバンド構造となって発光することが確認されて、活発な研究がなされている。

【0004】以上述べた以外にも、量子効果等その特徴を活かした様々な電気的および光学的素子への応用をめざし、量子ドットまたは量子細線の形成技術の多様な研究が行われている。以下、(1)～(5)の文献に記載された量子ドットまたは量子細線の形成技術について説明する。

【0005】(1) 特開平8-64525号公報
図20は上記特開平8-64525号公報に開示された「量子ドットの製造方法およびその量子ドットを用いた単電子トランジスタ」の構成を示す断面図である。上記単電子トランジスタでは、シリコン基板71上に絶縁膜72を形成した後、その絶縁膜72上に導電膜を堆積し、その導電膜をパターンニングして、ソース領域74、ドレイン領域76を形成する。次に、超高真空中で、125℃で電子ビーム蒸着法によりSi微小粒を20Åの大きさで、かつ、20Åの間隔で堆積し、次に、500℃で熱処理する。このとき、上記Si微小粒を制御性よく安定に成長させるため、シリコン基板71の堆積温度をSi堆積の下限温度近く(240℃程度)までを下げ、非品質のSi微小粒を堆積した後、結晶化温度(240℃)以上の熱処理によりSi微小粒を結晶化して、結晶Si微小粒73を形成する。次に、上記絶縁膜72、結晶Si微小粒73、ソース領域74およびドレイン領域75上にゲート絶縁膜76を40Å堆積し、ソース領域74、ドレイン領域75間の領域に対応するゲート絶縁膜76の領域上にゲート電極78を形成する。この単電子トランジスタは、ソース領域74、ドレイン領域75間に電圧を印加して、結晶Si微小粒73を介してソース領域74、ドレイン領域75間に電流を流し、その電流をゲート電極78に印加する電圧によって制御する。上

(4)

特開平11-345959

6

記ゲート電極78に電圧が印加されていないときは、結晶Si微小粒73において量子サイズ効果によって発現するクーロンブロック現象のため、電流は流れないが、ゲート電極78に電圧を印加して、結晶Si微小粒73間のトンネル抵抗を量子抵抗以下にすれば、クーロンブロック現象が敗れて電流が流れる。

【0006】また、図21は上記特開平8-64525号公報に開示された「量子ドットを用いた発光素子」の構成を示す断面図である。上記発光素子では、図21に示すように、シリコン基板81上に薄膜(30Å)の絶縁膜82を形成し、その絶縁膜82上に上記単電子トランジスタの製造方法と同様の方法で結晶Si微小粒83を形成した後、その上に薄膜(30Å)の絶縁膜84を堆積し、さらにその上に透明電極85を形成する。この発光素子は、上部電極である透明電極85と下部電極であるシリコン基板81の間に電圧を印加することによりトンネル電流を流して、結晶Si微小粒83にキャリアを注入することによって発光する。

【0007】(2) 石黒 他、1996年春季応用物理学会、講演番号28a-PB-5、予稿集p-798および講演番号26P-2A-12、予稿集p-64
図22(a)～(d)は上記(2)の文献に開示された「異方性エッチングを利用したSIMOX基板上の均一なSi量子細線の製造方法」を示す工程図である。

まず、図22(a)に示すように、シリコン基板91、酸化膜92およびSOI(Silicon On Insulator)膜93からなる(100)SIMOX基板上に窒化シリコン(Si₃N₄)を堆積した後、パターニングを行って窒化シリコン膜94を形成する。次に、図22(b)に示すように、窒化シリコン膜94をマスクとして、TMAH(Tetra Methyl Ammonium-Hydroxide)で異方性エッチングを行って、パターンエッジに(111)面を有するSOI膜93aを形成する。

次に、図22(c)に示すように、上記窒化シリコン膜94をマスクとして、SOI膜93aの側壁の(111)面を選択的に酸化して、酸化膜95を形成する。そして、図22(d)に示すように、上記窒化シリコン膜94を除去した後、この酸化膜95をマスクとして再びTMAHで異方性エッチングを行って、幅10nm、長さ100nmのSi量子細線96を形成する。このSi量子細線96の幅は、SOI膜93の膜厚により決まる。

図21に示す単電子デバイスと同様にして、上記Si量子細線96がチャネル領域として形成された量子細線MOSFETでは、単電子現象の特徴であるクーロンブロック振動が室温で観測されている(図23参照)。なお、図23は、Si量子細線を用いた単電子デバイスのドレイン電流のゲート依存性を示し、横軸はゲート電圧、縦軸はドレイン電流を表している。

【0008】(3) 後藤 他、1997年春季応用物理学会、講演番号28a-T-3、予稿集p-1313

7

上記(3)の文献に開示された「金属材料の量子ドットの形成方法」では、Arガス(4×10^{-1} Torr)のDC(直流)放電(220V, 0.4A)によりAlをスパッタし、その周りに満たされたHeガス(10 Torr)で、それらの凝集を行うマグネトロンスパッタ凝集法によって、直径5~500nmの球形アルミニウムクラスターを生成している。

【0009】(4) 桜井 他, 1997年春学術物理学会, 講演番号30a-PB-4, 予稿集p-515
上記(4)の文献に開示された「金属材料の量子細線」では、SiO₂絶縁基板上に幅30μm, 厚さ8nmのAlを蒸着した後、AFM(原子間顕微鏡)を用いてAl細線以外の領域のAlを酸化させる。具体的には、AFMの探針とAlの間に電圧を加えることによって、Alが酸化して絶縁膜となり、残された部分が幅20nmのAl細線となる。

【0010】(5) 安田 他, 第45回応用物理学会関係連合講演会, 講演番号28a-K-3, 予稿集p-751

上記(5)の文献に開示された「Si選択成長用マスクとしての酸化膜/窒化膜の特性および応用」では、シリコン基板201表面に形成した極薄のSiO₂酸化膜202(膜厚5~20Å)に電子線を照射して酸素を脱離させて、照射部203をシリコンSiに変質させる(図24(A), (B))。その後、変質した照射部203の表面にのみ選択的にSiを成長させてSi細線204を形成している(図24(C))。このときのSi成長は、基板温度を580℃にして原料ガスにジシラン(Si₂H₆)ガスを用いて行う。

【0011】

【発明が解決しようとする課題】ところで、上記量子効果素子または単電子素子の基本となる量子ドットまたは量子細線を従来の主流であるSi系大規模集積回路と同一基板上に搭載するには、次のような問題点がある。

【0012】上記(1)の「量子ドットの製造方法およびその量子ドットを用いた単電子トランジスタと発光素子」では、電子ビーム蒸着の堆積初期に発生する極微小サイズの結晶粒は、その成長位置や大きさ、密度を制御することができず、また、表面の凹凸、不純物などの表面状態に強く影響されるため、均一性、再現性を確保することは極めて困難で、量産技術として成り立ち難い。

【0013】また、上記(2)の「異方性エッチングを利用したSiMOX基板上的均一なSi量子細線の製造方法」では、窒化シリコンSi₃N₄の堆積工程、除去工程およびSi層のエッチング工程が必要であるため、高コストで歩留りが悪く生産性が低いということが問題となっており、現実的な量産技術として成り立ち難い。

【0014】また、上記(3)の「金属材料の量子ドットの形成方法」では、スパッタリングと気相による凝集反応を利用するので、結晶粒の成長位置、大きさおよび

(5)

特開平11-345959

8

密度の均一性、再現性を確保するのが極めて困難で、量産技術として成り立ち難い。

【0015】また、上記(4)の「金属材料の量子細線」では、AFMのような極めて特殊な微細化技術が必要であるが、現状、基板全面にわたって所望の位置に形成できる装置がなく、また、細線幅をいかにして均一にかつ再現性よく形成するかという問題がある。また、量産装置を開発するに当たっては、アライメントをどうするか、現実的なスループットをどう確保するかといった多くの課題がある。

10

【0016】さらに、上記(5)の文献に開示された「Si選択成長用マスクとしての酸化膜/窒化膜の特性および応用」では、成長したSiは、多結晶のため単結晶に比べ結晶性が劣り、優れた特性を有するデバイスを実現することができない。また、電子線を使用するため、現状では生産性が低く、現実的な量産技術として成り立ち難い。また、細線の幅は電子線のビーム径で決まるが、現状可能なビーム径では量子効果の発現に必要な10nm以下を実現することができない。

20

【0017】そこで、この発明の目的は、微小粒または細線の成長位置が制御可能で、微小粒または細線の大きさや密度の均一性、再現性が良好であると共に、特殊な微細加工技術を用いることなく、簡単な工程で低コストに製造でき、歩留りがよくかつ生産性の高い量産性に適した優れた特性を有する半導体素子を実現できる微細構造の製造方法およびその微細構造を用いた半導体素子を提供することにある。

【0018】

30

【課題を解決するための手段】上記目的を達成するため、請求項1の微細構造の製造方法は、半導体基板表面の少なくとも一部に、膜厚が厚い領域と膜厚が薄い領域とを有する絶縁性薄膜を形成するステップと、上記絶縁性薄膜の膜厚が薄い領域の表面のみに、金属または半導体からなる微小粒と細線のうちの少なくとも一方である微細構造を選択的に形成するステップとを有することを特徴としている。

40

【0019】上記請求項1の微細構造の製造方法によれば、上記半導体基板表面の少なくとも一部に、膜厚が厚い領域と膜厚が薄い領域とを有する絶縁性薄膜を形成した後、上記絶縁性薄膜の膜厚が薄い領域の表面のみに、金属または半導体からなる微小粒と細線のうちの少なくとも一方である微細構造を選択的に形成することが可能となる。したがって、一般的な成膜技術、リソグラフィ技術およびエッチング技術等により絶縁性薄膜の膜厚の薄い領域の形成位置を制御することによって、微小粒、細線の成長位置制御が可能となると共に、微小粒または細線の大きさおよび密度の均一性、再現性も良好となる。また、特殊な微細加工技術を用いずに簡単な工程により、量子効果を発現させる大きさの微小粒、細線である微細構造を形成できるので、製造コストを低減で

9

きると共に、高歩留りで生産性の高い量産性に適した微細構造の製造方法を実現できる。また、上記微細構造を用いることによって、優れた特性の半導体素子を実現できる。

【0020】また、請求項2の微細構造の製造方法は、請求項1の微細構造の製造方法において、上記半導体基板表面上に絶縁性薄膜を形成するステップにおいて、上記半導体基板表面に絶縁性薄膜を形成した後に、その絶縁性薄膜の一部の領域のみを薄肉化することを特徴としている。

【0021】上記請求項2の微細構造の製造方法によれば、一般的な成膜技術、リソグラフィ技術およびエッチング技術等により、上記半導体基板表面に絶縁性薄膜を一旦形成した後にその絶縁性薄膜の一部の領域のみを薄肉化する。したがって、上記絶縁性薄膜に薄い領域を簡単な工程で容易に形成できる。

【0022】また、請求項3の微細構造の製造方法は、請求項1の微細構造の製造方法において、上記半導体基板表面上に絶縁性薄膜を形成するステップにおいて、上記半導体基板表面に上記厚い領域となる第1の部分を形成して、その第1の部分の一部の領域のみを除去した後、上記第1の部分が除去された上記半導体基板表面に上記薄い領域となる第2の部分を形成することを特徴としている。

【0023】上記請求項3の微細構造の製造方法によれば、上記半導体基板表面に第1の部分を一旦形成し、その第1の部分の一部の領域のみを除去して、半導体基板表面の一部を露出させた後に、第1の部分が除去された半導体基板表面に第2の部分を形成する。したがって、一般的な成膜技術、リソグラフィ技術およびエッチング技術等を用いて、上記半導体基板表面の露出領域の形成位置を制御することによって、上記微細構造の形成位置を容易に制御できる。

【0024】また、請求項4の微細構造の製造方法は、請求項3の微細構造の製造方法において、上記半導体基板表面上に上記第1の部分を形成した後、上記第1の部分をパターニングして上記半導体基板表面の一部を露出させ、その後、上記半導体基板表面の露出領域を酸化することにより上記第2の部分を形成することを特徴としている。

【0025】上記請求項4の微細構造の製造方法によれば、上記第2の部分を上記半導体基板表面の露出領域を酸化することにより形成するので、簡単な工程で膜厚の薄い領域が得られる。

【0026】また、請求項5の微細構造の製造方法は、請求項3の微細構造の製造方法において、上記半導体基板表面上に上記第1の部分を形成した後、上記第1の部分をパターニングして上記半導体基板表面の一部を露出させ、その後、上記半導体基板表面の露出領域上に上記第2の部分を堆積することを特徴としている。

(6)

特開平11-345959

10

【0027】上記請求項5の微細構造の製造方法によれば、上記半導体基板表面の露出領域上に第2の部分を堆積するので、簡単な工程で膜厚の薄い領域が得られる。

【0028】また、請求項6の微細構造の製造方法は、請求項1の微細構造の製造方法において、上記半導体基板表面に上記絶縁性薄膜を形成するステップの前に、上記半導体基板表面にエッジ部を形成するステップを有し、上記半導体基板表面に上記絶縁性薄膜を形成するステップにおいて、上記エッジ部が形成された上記半導体基板表面を酸化することにより上記絶縁性薄膜を形成して、上記絶縁性薄膜の上記エッジ部に他の領域よりも膜厚が薄い領域を形成することを特徴としている。上記請求項6の微細構造の製造方法によれば、上記半導体基板表面に予めエッジ部(端、縁、段差の角、尖端または刃先等)を形成しておき、その半導体基板表面を酸化することによって、エッジ部に他の部分より薄い酸化膜を形成する。これは、酸化中にエッジ部では応力開放が進まず、他の部分に比べて酸化膜厚が薄くなるため、この傾向は酸化温度が低い程大きくなる。したがって、表面の形状が予め加工された半導体基板を酸化することによって、絶縁性薄膜としての酸化膜に膜厚が薄い領域を容易に形成できる。

【0029】また、請求項7の微細構造の製造方法は、請求項1の微細構造の製造方法において、上記半導体基板表面に上記絶縁性薄膜を形成するステップの前に、上記半導体基板表面に段差または尖端を有する形状を形成するステップを有し、上記半導体基板表面に上記絶縁性薄膜を形成するステップにおいて、上記段差または尖端を有する形状が形成された上記半導体基板表面を酸化することにより上記絶縁性薄膜を形成して、上記絶縁性薄膜の上記段差または尖端を有する形状に他の領域よりも膜厚が薄い領域を形成することを特徴としている。

【0030】上記請求項7の微細構造の製造方法によれば、上記半導体基板表面に予め段差または尖端を有する形状を形成しておき、その半導体基板表面を酸化することによって、段差または尖端を有する形状に他の部分より薄い酸化膜を形成する。これは、酸化中に段差または尖端を有する形状では応力開放が進まず、他の部分に比べて酸化膜厚が薄くなるため、この傾向は酸化温度が低い程大きくなる。したがって、表面の形状が予め加工された半導体基板を酸化することによって、絶縁性薄膜としての酸化膜に膜厚が薄い領域を容易に形成できる。

【0031】また、請求項8の微細構造の製造方法は、請求項1の微細構造の製造方法において、上記絶縁性薄膜の膜厚が薄い領域の表面のみに上記微細構造を形成するステップにおいて、上記半導体基板を反応室内に導入して、上記反応室内が 10^{-6} Torr以下の高真空になるように排気した後、上記反応室内に原料ガスを流し、その原料ガス分圧が 10^{-2} Torr以下の圧力で、上記絶縁性薄膜の膜厚が薄い領域のみに上記微細構造を気相成

11

長させることを特徴としている。

【0032】上記請求項8の微細構造の製造方法によれば、上記半導体基板を反応室内に導入後、反応室内が一且 10^{-6} Torr以下の高真空になるように、反応室内の大気成分、水分等の不純物を排気して、高純度の雰囲気にしてエピタキシャル成長を促すようにする。その後、原料ガスを流し、原料ガス分圧が 10^{-2} Torr以下の圧力下にするによって、微小粒と細線の少なくとも一方である微細構造を下地となる絶縁性薄膜の膜厚の薄い領域のみに気相成長させる。この反応時の原料ガス分圧が 10^{-2} Torrを越え、絶縁性薄膜の全面で速やかに膜成長が始まり、選択成長ができない。このように、一般的な高真空CVD装置を用いて、反応室内に真空度、原料ガスの導入量、導入時間や基板温度等を制御することによって、所望の大きさ、密度の微小粒、細線を均一に再現性よく形成できる。

【0033】また、請求項9の微細構造の製造方法は、請求項8の微細構造の製造方法において、上記微細構造がシリコンからなる場合、原料ガスとしてモノシラン(SiH_4)、ジシラン(Si_2H_6)、トリシラン(Si_3H_8)、ジクロロシラン(SiH_2Cl_2)またはテトラクロロシラン(SiCl_4)のうちのいずれか1つを用いることを特徴としている。

【0034】上記請求項9の微細構造の製造方法によれば、上記モノシラン(SiH_4)、ジシラン(Si_2H_6)、トリシラン(Si_3H_8)、ジクロロシラン(SiH_2Cl_2)またはテトラクロロシラン(SiCl_4)のうちのいずれか1つを原料ガスとして、一般的なCVD装置を用いて反応させて、上記絶縁性薄膜の膜厚が薄い領域上にシリコンからなる上記微小粒、細線を形成することによって、微小粒、細線の大きさおよび密度の均一性や再現性がさらによくなる。

【0035】また、請求項10の微細構造の製造方法は、請求項8の微細構造の製造方法において、上記微細構造がゲルマニウムからなる場合、原料ガスとしてモノゲルマン(GeH_4)、ジゲルマン(Ge_2H_6)または四フッ化ゲルマニウム(GeF_4)のうちのいずれか1つを用いることを特徴としている。

【0036】上記請求項10の微細構造の製造方法によれば、上記モノゲルマン(GeH_4)、ジゲルマン(Ge_2H_6)または四フッ化ゲルマニウム(GeF_4)のうちのいずれか1つを原料ガスとして、一般的なCVD装置を用いて反応させて、上記絶縁性薄膜の膜厚が薄い領域上にゲルマニウムからなる上記微小粒、細線を形成することによって、微小粒、細線の大きさおよび密度の均一性や再現性がさらによくなる。

【0037】また、請求項11の微細構造の製造方法は、請求項8の微細構造の製造方法において、上記微細構造がシリコンゲルマニウムからなる場合、原料ガスとして、モノシラン(SiH_4)、ジシラン(Si_2H_6)、トリシ

(7)

特開平11-345959

12

ラン(Si_3H_8)、ジクロロシラン(SiH_2Cl_2)またはテトラクロロシラン(SiCl_4)のうちのいずれか1つのガスと、モノゲルマン(GeH_4)、ジゲルマン(Ge_2H_6)または四フッ化ゲルマニウム(GeF_4)のうちのいずれか1つのガスとの混合ガスを用いることを特徴としている。

【0038】上記請求項11の微細構造の製造方法によれば、モノシラン(SiH_4)、ジシラン(Si_2H_6)、トリシラン(Si_3H_8)、ジクロロシラン(SiH_2Cl_2)またはテトラクロロシラン(SiCl_4)のうちのいずれか1つのガスと、モノゲルマン(GeH_4)、ジゲルマン(Ge_2H_6)または四フッ化ゲルマニウム(GeF_4)のうちのいずれか1つのガスとの混合ガスを原料ガスとして、一般的なCVD装置を用いて反応させて、上記絶縁性薄膜の膜厚が薄い領域上にシリコンゲルマニウムからなる上記微小粒、細線を形成することによって、微小粒、細線の大きさおよび密度の均一性や再現性がさらによくなる。

【0039】また、請求項12の微細構造の製造方法は、請求項8の微細構造の製造方法において、上記微細構造がアルミニウムからなる場合、原料に有機アルミニウムを用いることを特徴としている。

【0040】上記請求項12の微細構造の製造方法によれば、微小粒または細線がアルミニウムの時は、ジメチルアルミニウムハイドライド($\text{DMAH} : (\text{CH}_3)_2\text{AlH}$)等の有機アルミニウムを原料として、例えば有機金属CVD装置を用いて反応させて、上記絶縁性薄膜の膜厚が薄い領域上にアルミニウムからなる上記微小粒、細線を形成することによって、微小粒、細線の大きさおよび密度の均一性や再現性がさらによくなる。

【0041】また、請求項13の微細構造の製造方法は、半導体基板表面にエッジ部を形成するステップと、上記半導体基板表面の上記エッジ部以外の領域に絶縁性薄膜を形成するステップと、上記エッジ部の表面のみに半導体からなる細線である微細構造を選択的に形成するステップとを有することを特徴としている。

【0042】上記請求項13の微細構造の製造方法によれば、上記エッジ部(端、縁、段差の角または刃先等)が形成された半導体基板表面に、例えば酸化、エッチングにより上記エッジ部以外の領域に絶縁性薄膜を形成することで、上記エッジ部に沿って半導体基板が露出する微細な線状の領域が形成される。その後、上記半導体基板が露出するエッジ部の表面のみに、CVD装置等を用いて、半導体からなる細線である微細構造を選択的に形成するのである。したがって、一般的な成膜技術、リソグラフィ技術およびエッチング技術等により絶縁性薄膜に覆われていないエッジ部の形成位置を制御することによって、細線の成長位置制御が可能となると共に、細線の大きさの均一性、再現性も良好となる。また、特殊な微細加工技術を用いずに簡単な工程により、量子効果を発現させる幅10nm以下の半導体細線である微細構造を形成できるので、製造コストを低減できると共に、高歩

13

留りで生産性の高い量産性に適した微細構造の製造方法を実現できる。また、上記微細構造を量子細線として用いることによって、優れた特性の半導体素子を実現できる。

【0043】また、請求項14の微細構造の製造方法は、請求項13の微細構造の製造方法において、上記エッジ部以外の領域に絶縁性薄膜を形成するステップにおいて、上記エッジ部が形成された上記半導体基板を酸化することにより上記絶縁性薄膜を形成して、上記絶縁性薄膜の上記エッジ部に他の領域よりも膜厚が薄い領域を形成した後、さらに上記絶縁性薄膜をエッチングすることにより上記エッジ部の半導体表面のみを露出させることを特徴としている。

【0044】上記請求項14の微細構造の製造方法によれば、上記半導体基板表面に予めエッジ部(端、縁、段差の角または刃先等)を形成しておき、その半導体基板表面を酸化することによって、絶縁性薄膜としてエッジ部に他の部分より薄い酸化膜を形成する。これは、酸化中にエッジ部では応力開放が進まず、他の部分に比べて絶縁性薄膜の膜厚が薄くなるため、この傾向は酸化温度が低い程大きくなる。上記絶縁性薄膜のエッジ部に他の領域よりも膜厚が薄い領域のみをエッチングにより除去することによって、そのエッジ部の半導体表面のみを容易に露出させることができる。

【0045】また、請求項15の微細構造の製造方法は、請求項13の微細構造の製造方法において、上記半導体からなる細線である微細構造を形成した後、上記半導体からなる細線である微細構造と上記半導体基板との接続領域を酸化して酸化膜に変質させるステップを有することを特徴としている。

【0046】上記請求項15の微細構造の製造方法によれば、上記半導体からなる細線である微細構造を形成した後、上記半導体からなる細線である微細構造と上記半導体基板との接続領域を酸化して酸化膜に変質させることによって、その酸化膜により上記細線と半導体基板とを絶縁分離できる。

【0047】また、請求項16の微細構造の製造方法は、請求項15の微細構造の製造方法において、上記半導体からなる細線である微細構造と上記半導体基板との接続領域を酸化して酸化膜に変質させるステップにおいて、上記絶縁性薄膜を一旦除去した後、上記半導体からなる細線である微細構造と上記半導体基板との接続領域を酸化して酸化膜に変質させることを特徴としている。

【0048】上記請求項16の微細構造の製造方法によれば、上記半導体からなる細線である微細構造と上記半導体基板との接続領域を酸化して酸化膜に変質させる前に、上記絶縁性薄膜を一旦除去する。その後、上記半導体からなる細線である微細構造と上記半導体基板との間の接続領域を直接酸化して酸化膜に変質させる。そうすることによって、上記細線と半導体基板とを確実に絶縁

(8)

特開平11-345959

14

分離する酸化膜を形成できる。

【0049】また、請求項17の微細構造の製造方法は、請求項13の微細構造の製造方法において、上記エッジ部の表面のみに上記半導体からなる細線である微細構造を選択的に形成するステップにおいて、上記半導体基板を反応室内に導入して、上記反応室内が 10^{-6} Torr以下の高真空になるように排気した後、上記反応室内に原料ガスを流し、その原料ガス分圧が 10^{-2} Torr以下の圧力下で、上記エッジ部の表面のみに上記半導体からなる細線である微細構造を気相成長させることを特徴としている。

10

【0050】上記請求項17の微細構造の製造方法によれば、上記半導体基板を反応室内に導入後、反応室内が一旦 10^{-6} Torr以下の高真空になるように、反応室内の大気成分、水分等の不純物を排気して、高纯净な雰囲気にしてエピタキシャル成長を促すようにする。その後、原料ガスを流し、原料ガス分圧が 10^{-2} Torr以下の圧力下にするによって、細線である微細構造を下地となる上記エッジ部の表面(半導体基板の露出領域)のみに気相成長させる。この反応時の原料ガス分圧が 10^{-2} Torrを超えると、絶縁性薄膜の全面で速やかに膜成長が始まり、選択成長ができない。したがって、一般的な高真空CVD装置を用いて、反応室内に真空度、原料ガスの導入量、導入時間や基板温度等を制御することによって、所望の大きさの半導体からなる単結晶細線を均一に再現性よく形成できる。特に、上記半導体からなる単結晶細線をトランジスタのチャネル領域に用いることによって、半導体細線内では、延在方向に対して直交する方向に量子化されて1次元伝導を示し、電子の弾性散乱が抑制されるため、電子の移動度が $10^6 \sim 10^7 \text{ cm}^2/\text{V} \cdot \text{s}$ にも達する可能性を有する超高速のトランジスタを実現できる。

20

30

【0051】また、請求項18の微細構造の製造方法は、請求項17の微細構造の製造方法において、上記微細構造がシリコンからなる場合、原料ガスとしてモノシラン(SiH_4)、ジシラン(Si_2H_6)、トリシラン(Si_3H_8)、ジクロロシラン(SiH_2Cl_2)またはテトラクロロシラン(SiCl_4)のうちのいずれか1つを用いることを特徴としている。

40

【0052】上記請求項18の微細構造の製造方法によれば、上記モノシラン(SiH_4)、ジシラン(Si_2H_6)、トリシラン(Si_3H_8)、ジクロロシラン(SiH_2Cl_2)またはテトラクロロシラン(SiCl_4)のうちのいずれか1つを原料ガスとして、一般的なCVD装置を用いて反応させて、上記絶縁性薄膜の膜厚が薄い領域上にシリコンからなる上記微細構造を形成することによって、微細構造の大きさおよび密度の均一性や再現性がさらによくなる。

【0053】また、請求項19の微細構造の製造方法は、請求項17の微細構造の製造方法において、上記微細構造がゲルマニウムからなる場合、原料ガスとしてモ

50

15

ノゲルマン(GeH_4)、ジゲルマン(Ge_2H_6)または四フッ化ゲルマニウム(GeF_4)のうちのいずれか1つを用いることを特徴としている。

【0054】上記請求項19の微細構造の製造方法によれば、上記モノゲルマン(GeH_4)、ジゲルマン(Ge_2H_6)または四フッ化ゲルマニウム(GeF_4)のうちのいずれか1つ原料ガスとして、一般的なCVD装置を用いて反応させて、上記絶縁性薄膜の膜厚が薄い領域上にゲルマニウムからなる上記微細構造を形成することによって、微細構造の大きさおよび密度の均一性や再現性がさらによくなる。

【0055】また、請求項20の微細構造の製造方法は、請求項17の微細構造の製造方法において、上記微細構造がシリコンゲルマニウムからなる場合、原料ガスとして、モノシラン(SiH_4)、ジシラン(Si_2H_6)、トリシラン(Si_3H_8)、ジクロロシラン(SiH_2Cl_2)またはテトラクロロシラン(SiCl_4)のうちのいずれか1つのガスと、モノゲルマン(GeH_4)、ジゲルマン(Ge_2H_6)または四フッ化ゲルマニウム(GeF_4)のうちのいずれか1つのガスとの混合ガスを用いることを特徴としている。

【0056】上記請求項20の微細構造の製造方法によれば、モノシラン(SiH_4)、ジシラン(Si_2H_6)、トリシラン(Si_3H_8)、ジクロロシラン(SiH_2Cl_2)またはテトラクロロシラン(SiCl_4)のうちのいずれか1つのガスと、モノゲルマン(GeH_4)、ジゲルマン(Ge_2H_6)または四フッ化ゲルマニウム(GeF_4)のうちのいずれか1つのガスとの混合ガスを原料ガスとして、一般的なCVD装置を用いて反応させて、上記絶縁性薄膜の膜厚が薄い領域上にシリコンゲルマニウムからなる上記微細構造を形成することによって、微細構造の大きさおよび密度の均一性や再現性がさらによくなる。

【0057】また、請求項21の微細構造を用いた半導体素子は、ソース領域と、ドレイン領域と、上記ソース領域と上記ドレイン領域との間のチャネル領域と、上記チャネル領域に流れるチャネル電流を制御するゲート領域と、上記チャネル領域と上記ゲート領域の間に位置する浮遊ゲート領域と、上記浮遊ゲート領域と上記ゲート領域との間の第1絶縁膜と、上記チャネル領域と上記浮遊ゲート領域との間の第2絶縁膜とを備え、上記浮遊ゲート領域は、請求項1乃至20のいずれか1つに記載の微細構造の製造方法により形成された微細構造であることを特徴としている。

【0058】上記請求項21の微細構造を用いた半導体素子によれば、上記微細構造の製造方法により形成された微細構造を上記浮遊ゲート領域とすることによって、蓄積電荷が少なくなり、浮遊ゲート領域に注入する電荷量を少なくでき、低消費電力、高密度で大容量の不揮発性メモリを実現できる。また、低コストで歩留りがよくかつ生産性の高い量産に適した不揮発性メモリを実現できる。さらに、この発明の微細構造を用いた半導体素子

(9)

特開平11-345959

16

は、単電子デバイスの基本となる量子ドット、量子細線を有する半導体素子としてSi系大規模集積回路と同一の基板に搭載できる。

【0059】また、請求項22の微細構造を用いた半導体素子は、ソース領域と、ドレイン領域と、上記ソース領域と上記ドレイン領域との間のチャネル領域と、上記チャネル領域に流れるチャネル電流を制御するゲート領域と、上記チャネル領域と上記ゲート領域との間のゲート絶縁膜とを備え、上記チャネル領域は、請求項1乃至11および請求項13乃至20のいずれか1つに記載の微細構造の製造方法により形成された半導体からなる細線であることを特徴としている。

【0060】上記請求項22の微細構造を用いた半導体素子によれば、上記微細構造の製造方法により形成された上記半導体からなる細線を上記チャネル領域とすることによって、チャネル領域は細線の延在方向に対して直交する方向に量子化されて1次元伝導を示すので、超高速動作が可能なトランジスタが得られ、低コストで歩留りがよくかつ生産性の高い量産に適した超高速トランジスタを実現できる。また、この発明の微細構造を用いた半導体素子は、量子効果デバイスの基本となる量子細線を有する半導体素子としてSi系大規模集積回路と同一の基板に搭載できる。

【0061】また、請求項23の微細構造を用いた半導体素子は、請求項1乃至11のいずれか1つの微細構造の製造方法により形成された半導体からなる微小粒と、上記微小粒を挟むように形成された絶縁膜と、上記絶縁膜をさらに挟むように形成された電極とを備え、上記電極間に電圧を印加することによって上記微小粒が発光することを特徴としている。

【0062】上記請求項23の微細構造を用いた半導体素子によれば、上記微細構造の製造方法により形成された半導体からなる微小粒を絶縁膜で挟み、さらに絶縁膜を電極で挟むことによって、微小粒は直接遷移型のバンド構造となり、電極間に電圧を印加してトンネル電流を流し、上記微小粒に電子を注入すると、微小粒に電子の遷移が生じて発光する。したがって、低コストで歩留りがよくかつ生産性の高い量産に適した発光素子を実現できる。また、この発明の微細構造を用いた半導体素子を、量子効果デバイスの基本となる量子ドットを有する半導体素子としてSi系大規模集積回路と同一の基板に搭載でき、この半導体素子を発光素子や光電変換素子に応用することにより、電子回路と光通信回路とを融合できる。

【0063】

【発明の実施の形態】以下、この発明の微細構造の製造方法およびその微細構造を用いた半導体素子を図示の実施の形態により詳細に説明する。

【0064】本出願人は、実験により、半導体基板表面に形成された絶縁性薄膜の膜厚の違いがあるとき、膜厚

17

の薄い領域のみに選択的に微小粒や細線が形成されることを見出した。まず、実施形態の説明の前にこの微小粒、細線の選択成長について以下に述べる。

【0065】図1(A)～(E)は、シリコン基板1表面に形成された絶縁性薄膜としての酸化膜2の膜厚が厚い領域2aと薄い領域2bの表面にSi微小粒を成長させたときの成長過程を示している。

【0066】まず、膜厚が厚い領域2aと薄い領域2bとを有する酸化膜2が表面に形成されたシリコン基板1を反応室内に配置し、高真空かつ高纯净の雰囲気下で微量の反応ガスを流した場合、酸化膜2上では、初期のある時間内、いわゆる潜伏時間内は、ガス分子が酸化膜2の表面に吸着してもその表面を移動してやがて脱離し、酸化膜2の表面には何も形成されない(図1(A))。そして、上記潜伏時間が経過して酸化膜2の表面に核が形成されると、これを核として微小粒3が形成される(図1(B))。この潜伏時間は、下地絶縁膜である酸化膜2の膜厚に依存し、酸化膜2の膜厚が薄いほど短くなるため、酸化膜2の膜厚が薄い領域2bに先に微小粒3aが選択的に形成される(図1(C))。これは、極端に酸化膜2の膜厚が薄くなると、酸化膜2を介してシリコン基板1の結晶性を反映したエピタキシャル成長が生じるためか、または、酸化膜2の膜厚の薄い領域の表面の状況が厚い領域と異なるいわゆる特異点であるからと推定される。その後、時間の経過と共に、図1(D)、(E)に示すように、酸化膜2の膜厚が厚い領域2aにも微小粒4が形成され、膜厚が薄い領域2b側も成長した微小粒3bとなる(図1(D))。そして、さらに成長が続くと、酸化膜2の膜厚が厚い領域2a側が微小粒4a、膜厚が薄い領域2b側が微小粒3cとなる(図1(E))。なお、上記酸化膜2の膜厚の薄い領域2bを線状に形成することによって、上記成長過程と同様にSi細線を選択成長させることも可能である。

【0067】このように、半導体基板表面に形成された絶縁性薄膜の膜厚の違いによって、微細構造(微小粒や細線)を選択的に形成でき、この特徴を利用した微細構造の製造方法およびその微細構造を用いた半導体素子の実施形態について次に説明する。

【0068】(第1実施形態)図2(A)～(B)はこの発明の第1実施形態の微細構造の製造方法を説明する工程図である。

【0069】まず、図2(A)に示すように、シリコン基板11表面を酸化して、膜厚7nmの酸化膜12を形成する。

【0070】次に、図2(B)に示すように、電子線リソグラフィ技術を用いて幅20nmの除去領域14を有するレジストパターン13を形成する。

【0071】次に、図2(C)に示すように、濃度0.5%の希フッ酸により残膜が2nmになるまで酸化膜12をエッチングして、膜厚が薄い領域12bを形成した後、レ

(10)

特開平11-345959

18

ジストパターン13を除去する。

【0072】そして、図2(D)に示すように、基板全体を高真空CVD(ケミカル・ベイパー・ディポジション)装置と同等の反応室内に設置した後、反応室内を 10^{-8} Torr程度の真空になるまで排気した後、基板温度を 590°C にしてジシラン(Si_2H_6)を18sccm、120秒間流すことによって、酸化膜厚2nmの部分(膜厚の薄い領域12b)のみにSi結晶を選択的に成長させる。これによって幅20nm、高さ9nmの細線15を形成する。

【0073】このように、下地となる絶縁性薄膜としての酸化膜12の膜厚が薄い領域12bのみに微細構造であるシリコンSiからなる細線15を選択的に形成するので、酸化膜12の膜厚が薄い領域12aの形成位置を制御することによって、細線15の成長位置制御が可能となると共に、細線15の大きさおよび密度の均一性、再現性も良好となる。また、特殊な微細加工技術を用いずに簡単な工程により低コストで製造することができる。また、高歩留りで生産性の高い量産性に適した微細構造の製造方法を実現することができる。

【0074】また、上記シリコン基板11表面に酸化膜12を形成した後、その酸化膜12の一部の領域のみをエッチングにより薄肉化するので、酸化膜12に膜厚の薄い領域12bを簡単な工程で容易に形成することができる。

【0075】また、上記酸化膜12が形成されたシリコン基板11を反応室内に導入後、反応室内を 10^{-6} Torr以下の高真空にして、大気成分や水分等の不純物を排気した後、原料ガスを反応室内に流し、原料ガス分圧が 10^{-2} Torr以下の圧力下にするによって、下地となる酸化膜12の膜厚の薄い領域12bのみに細線15のエピタキシャル成長を促すことができる。なお、反応時の原料ガス分圧が 10^{-2} Torrを越えると、絶縁性薄膜の全面で速やかに膜成長が始まり、選択成長ができない。

【0076】なお、上記第1実施形態の微細構造の製造方法において、レジストパターンの開口を離散的な微小な円形状にすることによって、酸化膜12の膜厚の薄い領域12bのみに微小粒を選択的に形成することも可能である。このように、レジストパターンの開口の形状、大きさを制御することによって、微細構造の結晶の形状や大きさを制御が可能となる。

【0077】(第2実施形態)図3(A)～(E)はこの発明の第2実施形態の微細構造の製造方法を説明する工程図である。

【0078】まず、図3(A)に示すように、シリコン基板21表面を酸化して、第1の部分としての膜厚6nmの酸化膜22を形成する。なお、CVD法によって SiO_2 または Si_3N_4 等の絶縁膜または積層の絶縁膜をシリコン基板21上に堆積しても、以下の細線の成長は本質的には変わらない。

19

【0079】次に、図3(B)に示すように、電子線リソグラフィ技術を用いて幅20nmの除去領域24を有するレジストパターン23を形成する。

【0080】次に、図3(C)に示すように、ドライエッチング技術を用いてシリコン基板21の表面が露出するまで、酸化膜22をエッチングして、露出領域25を形成する。

【0081】次に、図3(D)に示すように、レジストパターン23を除去した後、再び酸化して、Si表面が露出した部分に膜厚2nmの薄い酸化膜27を第2の部分として形成する。このとき、エッチングしなかった酸化膜22(図3(C)に示す)は、第1の部分としての膜厚7nmの酸化膜26となる。なお、CVD法により SiO_2 または Si_3N_4 等の絶縁膜または積層の絶縁膜を2nm堆積しても、以下の細線の成長は本質的には変わらないが、CVD法による薄膜では選択成長が可能な膜厚が厚くなる場合が多く、膜厚5nmまでは選択成長が可能である。

【0082】そして、図3(E)に示すように、基板全体を高真空CVD装置と同等の反応室内に設置し、反応室内を 10^{-8} Torr程度の真空になるまで排気した後、基板温度を590℃にしてジシラン(Si_2H_6)を18sccm、120秒間流すことによって、膜厚が薄い領域(酸化膜27)のみにSi結晶が選択的に成長する。これによって幅20nm、高さ9nmの細線28を形成する。

【0083】このように、下地となる絶縁性薄膜としての酸化膜22が膜厚が薄い領域22bのみに微細構造であるシリコンSiからなる細線28を選択的に形成するので、酸化膜22が膜厚が薄い領域22bの形成位置を制御することによって、細線28の成長位置制御が可能となると共に、細線28の大きさおよび密度の均一性、再現性も良好となる。また、特殊な微細加工技術を用いずに簡単な工程により低コストで製造することができる。また、高歩留りで生産性の高い量産性に適した微細構造の製造方法を実現することができる。

【0084】また、上記シリコン基板21表面に第1の部分として酸化膜22を一旦形成し、その酸化膜22の一部の領域のみを除去して、シリコン基板21表面の一部を露出させた後に、酸化膜22が除去されたシリコン基板21表面に第2の部分としての酸化膜27を形成することによって、シリコン基板21表面に膜厚の薄い領域(酸化膜27)を容易に形成することができる。

【0085】また、上記シリコン基板1表面の露出領域を酸化することにより第2の部分としての酸化膜27を形成するので、簡単な工程で膜厚の薄い酸化膜27を得ることができる。また、上記シリコン基板21表面の露出領域上に第2の部分を堆積して、膜厚の薄い領域を形成してもよい。

【0086】なお、上記第2実施形態の微細構造の製造方法において、レジストパターンの開口を離散的な微小な円形状にすることによって、酸化膜22の膜厚の薄い

(11)

特開平11-345959

20

領域22bのみに微小粒を選択的に形成することも可能である。このように、レジストパターンの開口の形状、大きさを制御することによって、微細構造の結晶の形状や大きさの制御が可能となる。

【0087】(第3実施形態) 図4(A)~(C)はこの発明の第3実施形態の微細構造の製造方法を説明する工程図である。

【0088】まず、図4(A)に示すように、ドライエッチング技術を用いてシリコン基板31に溝32や段部33を形成する。

【0089】次に、図4(B)に示すように、シリコン基板31を酸化して、シリコン基板31の表面に酸化膜30を形成する。このとき、上記酸化膜30は、平坦部が膜厚が6nmの厚い領域35となり、溝32の両側壁の上端および段部33の上端コーナ部のエッジ部34が、膜厚が厚い領域35に比べて膜厚2nmの薄い領域36となる。これは、酸化中にエッジ部34では応力開放が進まず、他の部分に比べて酸化膜厚が薄くなるため、酸化温度が低い程この傾向が大きくなる。ここでエッジ部とは、端、縁、段部部の角、尖端または刃先等のことであって、溝の両側壁の上端および段部の上端コーナ部に限らない。

【0090】次に、図4(C)に示すように、基板全体を高真空CVD装置と同等の反応室内に設置した後、 10^{-8} Torr程度の真空になるまで排気した後、基板温度を590℃にしてジシラン(Si_2H_6)を18sccm、120秒間流すことによって、溝32の両側壁の上端および段部33の上端コーナ部の膜厚の薄い領域36に沿って(図4の紙面に垂直な方向に沿って)細線37を形成する。

【0091】なお、成長条件を変えることによって、細線の代わりに微小粒を形成することができる。図5はこの第3実施形態の微細構造の製造方法を用いて、酸化膜の膜厚をさらに薄くして大きさ約30nmのSi微小粒38を成長させたときの拡大図を示している。この場合、酸化膜30の厚い領域の膜厚T1は約30オングストローム、薄い領域36の膜厚T2は約15オングストロームであった。

【0092】図4(A)~(C)では、エッジ部として、溝の両側壁の上端および段部の上端コーナ部について記したが、その他の形状としてシリコン基板をドライエッチングするときに、微小な点状または微細な線状のパターンをマスクとしてエッチングした場合に得られる針状またはナイフの刃先状のような鋭利な形状でもよい。

【0093】上記微細構造の製造方法では、表面にエッジ部34が予め形成されたシリコン基板31の表面を酸化することによって、エッジ部34に他の部分(厚い領域35)より薄い酸化膜(薄い領域36)を容易に形成することができる。

【0094】(第4実施形態) 図6はこの発明の第4実

21

施形態の微細構造を用いた半導体素子としての不揮発性メモリ(フラッシュE E P R O M等)の平面図であり、図7は図6のVII-VII線から見た断面図である。

【0095】図6、図7に示すように、シリコン基板41に素子分離領域42で囲まれた長方形の領域を形成し、上記領域の略中央にその領域の長手方向に対して略直交方向に沿って段部46を形成した後、シリコン基板41表面を酸化して、第2絶縁膜としてのトンネル絶縁膜45を形成する。そうすると、上記段部46の上端コーナー部のトンネル絶縁膜45は、膜厚が他の領域よりも薄い領域45aとなる。このときのトンネル絶縁膜45の薄い領域45aの膜厚は2nmとなる。そして、上記トンネル絶縁膜45の薄い領域45a上に、上記第3実施形態の細線の製造方法を用いて、浮遊ゲート領域としてナノメータサイズの細線47Aを形成する。その後、さらにトンネル絶縁膜45上および細線47A上に第1絶縁膜としての膜厚10nmのコントロールゲート絶縁膜48をCVD法により形成する。そして、上記コントロールゲート絶縁膜48上にゲート電極49を形成した後、ゲート電極49をマスクとして不純物をイオン注入して、シリコン基板41にソース、ドレイン領域43、44を形成し、そのソース領域43とドレイン領域44との間のゲート電極49に対応する領域が活性領域40となる。こうして、上記活性領域40とゲート電極49との間の浮遊ゲート領域に細線47Aを用いた不揮発性メモリを構成している。

【0096】図8(A)は図6のVIII-VIII線から見た断面図であり、図6に示すソース領域43、ドレイン領域44に対して略直交に交差するように、細線47Aを配置している。

【0097】なお、図6において細線の代わりに微小粒を形成してVII-VII線から見た場合は、図8(B)に示すように、ソース領域43、ドレイン領域44(図6に示す)の配列方向に対して直交方向に複数の微小粒47Bが配列される。

【0098】このように、上記微細構造である細線47A、微小粒47Bを浮遊ゲート領域に用いることによって、浮遊ゲート領域の蓄積電荷を減らすことができるので、消費電力が極めて少なく超高密度で大容量の不揮発性メモリを実現することができる。

【0099】また、上記微細構造の製造方法により形成されたシリコンSiからなる細線47A、微小粒47Bを不揮発性メモリの浮遊ゲート領域に用いることによって、低コストで歩留りがよくかつ生産性の高い量産に適した不揮発性メモリ等を実現することができる。

【0100】なお、上記細線や微小粒である微細構造は、上記第1実施形態または第2実施形態の微細構造の製造方法を用いて形成してもよい。また、細線や微小粒の材料は半導体に限らず、金属でもよい。

【0101】(第5実施形態)図9(A)はこの発明の第

(12)

特開平11-345959

22

5実施形態の微細構造を用いた半導体素子としてのMOS(メタル・オキシド・セミコンダクタ)FET(電界効果トランジスタ)の平面図を示し、図9(B)は図9(A)のB-B線から見た断面図を示し、図9(C)は図9(A)のC-C線から見た断面図を示している。

【0102】図9(A)~(C)に示すように、シリコン基板51上に段部53を形成した後、シリコン基板51を酸化して、絶縁膜52を形成する。そうすると、上記段部53の上端コーナー部の絶縁膜52の膜厚が他の領域よりも薄くなる。そして、上記第3実施形態の微細構造の製造方法を用いて、絶縁膜52の段部53の上側の膜厚が薄い領域52aに沿った部分のみにナノメータサイズの半導体からなる細線54を形成する。その後、上記絶縁膜52上および細線54上に膜厚30nmのゲート絶縁膜55をCVD法により形成する。そして、上記ゲート絶縁膜55上にゲート電極56を形成した後、そのゲート電極56をマスクにして不純物をイオン注入して、細線54にソース、ドレイン領域57、58を形成し、細線54のソース領域57とドレイン領域58との間がチャネル領域59となる。そうして、上記細線54の幅を数十nm以下にすることによって、チャネル領域59は、細線54の延在方向に対して直交する方向に量子化されて1次元伝導を示すようになり、高速のMOSFETが得られる。

【0103】このように、上記微細構造であるシリコンSiからなる細線54の一部をチャネル領域59に用いることによって、低コストで歩留りがよくかつ生産性の高い量産に適した超高速トランジスタ等を実現することができる。

【0104】なお、上記細線54の形成には、第1、第2実施形態の微細構造の製造方法を用いてもよい。

【0105】(第6実施形態)図10はこの発明の第6実施形態の微細構造を用いた半導体素子としての発光素子の断面を示している。

【0106】図10に示すように、シリコン基板61上に段部66を形成した後、シリコン基板61を酸化して、絶縁膜62を形成して、段部66の上端コーナー部の絶縁膜62の膜厚が他の領域よりも薄くなる。そして、上記第3実施形態の微細構造の製造方法を用いて、絶縁膜62の段部66の上側の膜厚が薄い領域に沿って直径が数十nm以下の複数の微小粒63を形成した後、絶縁膜62上および微小粒63上に膜厚30nmのゲート絶縁膜64をCVD法により形成し、さらにゲート絶縁膜64上に透明なゲート電極(ITO)65を形成する。上記微小粒63を絶縁膜62、64で挟み、さらに絶縁膜62、64をシリコン基板61と透明電極65で挟むことによって、微小粒63は直接遷移型のバンド構成となる。そして、上記ゲート電極65とシリコン基板61との間に電圧を印加することによって、絶縁膜62、ゲート絶縁膜64間にトンネル電流が流れ、そのトンネル電

23

流により微小粒63に電子が注入されて、微小粒63に電子の遷移が生じて発光する。

【0107】上記シリコンSiからなる微小粒63を用いて、低コストで歩留りがよくかつ生産性の高い量産に適した発光素子を実現することができる。

【0108】なお、上記微小粒63の形成には、第1、第2実施形態の微細構造の製造方法を用いてもよい。

【0109】さらに、本出願人は、エッジ部が形成された半導体基板表面に、上記エッジ部以外の領域に絶縁性薄膜を形成して、エッジ部の半導体表面のみに選択的に細線を形成する方法を見出した。まず、この細線の選択成長について以下に述べる。

【0110】図11(A)~(D)は、シリコン基板101表面に形成されたエッジ部103の半導体表面にSi細線を成長させたときの成長過程を示している。

【0111】まず、表面に段部102とエッジ部103を除く領域に形成された酸化膜104を有するシリコン基板101を反応室内に配置し、高真空かつ高清浄の雰囲気下で微量の反応ガスを流した場合、酸化膜104上では、初期のある時間内、いわゆる潜伏時間内は、ガス分子が酸化膜104の表面に吸着してもその表面を移動してやがて脱離し、酸化膜104の表面には何も形成されない(図11(A))。この潜伏時間内は、エッジ部103の表面に微結晶105が成長して(図11(B))、エッジ部103の半導体表面が露出した部分のみに細線106を選択的にエピタキシャル成長する(図11(C))。その後、時間の経過と共に、図11(D)に示すように、酸化膜104の表面にも微小粒108が形成され、エッジ部103の表面側にもさらに成長した細線107となる(図11(D))。

【0112】図12は図11(C)の要部の断面拡大図を示しており、上記半導体基板101に形成されたエッジ部103(図11に示す)は、細線106と半導体基板101との接続領域109となる。

【0113】このように、半導体基板表面に形成されたエッジ部に微細構造(細線)を選択的に形成でき、この特徴を利用した微細構造の製造方法およびその微細構造を用いた半導体素子の実施形態について次に説明する。

【0114】(第7実施形態)図13(A)~(C)はこの発明の第7実施形態の微細構造の製造方法により形成される半導体からなる細線の過程を示す斜視図である。

【0115】まず、図13(A)に示すように、一般的なフォトリソグラフィ技術とドライエッチング技術とを用いてシリコン基板111に溝112(深さ500Å)を形成する。

【0116】次に、上記シリコン基板111表面に熱酸化膜113(平坦部の膜厚7nm)を形成する。このとき、溝112の上端コーナ一部のエッジ部114の酸化膜厚は、他の部分に比べ薄く5nmである。ここでエッジ部とは、端、縁、段差部の角または刃先等のことであって、溝

(13)

特開平11-345959

24

の両側壁の上端および段部の上端コーナ一部に限らない。例えば、シリコン基板をドライエッチングするとき、微小な点状または微細な線状のパターンをマスクとしてエッチングした場合に得られる針状またはナイフの刃先状のような鋭利な形状でもよい。

【0117】次に、図13(B)に示すように、上記酸化膜113の薄膜部を除去する。すなわち、酸化膜113を5.5nmエッチングして、平坦部の酸化膜厚を1.6nmの熱酸化膜120とすると、溝112の上端コーナ一部のエッジ部114に沿って幅5nmの線状の領域115に半導体基板111表面を露出させるのである。

【0118】そして、図13(B)に示す基板を高真空CVD装置の反応室内に設置した後、10⁻⁸Torr程度まで真空排気した後、基板温度は590℃にしてジシラン(Si₂He)を18sccm、60秒間流すことによって、図13(C)に示すように、シリコン基板111が露出した線状の領域115(図13(B)に示す)にのみSiを選択的にエピタキシャル成長させる。これによって幅10nmのSi細線116を形成する。

【0119】さらに、上記細線116を形成した後、平坦部の酸化膜厚が6.5nmになるまで、細線116とシリコン基板111との接続領域および熱酸化膜120を酸化し、酸化された細線117とシリコン基板111を酸化膜121により絶縁分離する(図14(A)、(B)参照)。

【0120】なお、絶縁分離のための酸化前に図15(A)の状態から半導体表面に残っている酸化膜120(平坦部で1.5nm)を除去して図15(B)の状態にした後、細線116とシリコン基板111とを酸化することにより、図15(C)に示すように、熱酸化膜122を形成し、このとき同時に形成された膜厚5nmの酸化膜119により細線118とシリコン基板111との間を絶縁分離する(図15(A)~(C)参照)。

【0121】以上により幅5nm程度の細線117(または118)を形成する。

【0122】このように、下地となるエッジ部114の表面のみに微細構造であるシリコンSiからなる細線116を選択的に形成するので、一般的な成膜技術、リソグラフィ技術およびエッチング技術等により絶縁性薄膜に覆われていないエッジ部の形成位置を制御することによって、細線116の成長位置制御が可能となると共に、細線116の大きさの均一性、再現性も良好となる。また、特殊な微細加工技術を用いずに簡単な工程により低コストで製造することができると共に、高歩留りで生産性の高い量産性に適した微細構造の製造方法を実現することができる。

【0123】また、上記シリコン基板111表面に予めエッジ部114を形成しておき、そのシリコン基板111表面を酸化することによって、エッジ部114の酸化部分が他の部分より薄い熱酸化膜113を絶縁性薄膜と

25

して形成し、熱酸化膜113をエッチングして、熱酸化膜113の膜厚が薄い領域のみを除去することによって、そのエッジ部114の半導体表面のみを容易に露出させることができる。

【0124】上記細線116とシリコン基板111との接続領域を酸化して酸化膜119に変質させて、細線116とシリコン基板111とを酸化膜119により絶縁分離することによって、単電子デバイスに应用可能な量子細線を得ることができる。

【0125】また、上記細線116とシリコン基板111との接続領域を酸化して酸化膜119に変質させる前に、熱酸化膜120を一旦除去した後、細線116とシリコン基板111との間の接続領域を直接酸化して酸化膜119に変質させた場合は、その酸化膜119により細線116とシリコン基板111とを確実に絶縁分離することができる。

【0126】また、上記シリコン基板111を反応室内に導入後、反応室内を 10^{-6} Torr以下の高真空にして、大気成分や水分等の不純物を排気した後、原料ガスを反応室内に流し、原料ガス分圧が 10^{-2} Torr以下の圧力下にするこ

【0127】(第8実施形態) 図16はこの発明の第8実施形態の微細構造を用いた半導体素子としての不揮発性メモリ(フラッシュEEPROM等)の平面図であり、図17は図16のXVII-XVII'線から見た断面図である。

【0128】図16、図17に示すように、シリコン基板141に素子分離領域142で囲まれた長方形の領域を形成し、上記領域の略中央にその領域の長手方向に対して略直角方向に沿って段部146を形成する。次に、上記第7実施形態の細線の製造方法を用いて、第2絶縁膜としての膜厚2nmのトンネル絶縁膜145と、領域145により絶縁分離された浮遊ゲート領域として幅6nmの細線147とを形成する。その後、さらにトンネル絶縁膜145上および細線147上に第1絶縁膜としての膜厚10nmのコントロールゲート絶縁膜148をCVD法により形成する。そして、上記コントロールゲート絶縁膜148上にゲート電極149を形成した後、ゲート電極149をマスクとして不純物をイオン注入して、シリコン基板141にソース、ドレイン領域143、144を形成し、そのソース領域143とドレイン領域144との間のゲート電極149に対応する領域が活性領域140となる。こうして、上記活性領域140とゲート電極149との間の浮遊ゲート領域に細線147を用いた不揮発性メモリを構成している。

【0129】図18は図16のXVIII-XVIII'線から見た断面図であり、図16に示すソース領域143、ドレ

(14)

特開平11-345959

26

ン領域144に対して略直角に交差するように、細線147を配置している。

【0130】したがって、上記微細構造である細線147を浮遊ゲート領域に用いることによって、浮遊ゲート領域の蓄積電荷を減らすことができるので、消費電力の極めて少なく超高密度で大容量の不揮発性メモリを実現することができる。

【0131】また、上記微細構造の製造方法により形成されたシリコンSiからなる細線147を不揮発性メモリの浮遊ゲート領域に用いることによって、低コストで歩留りがよくかつ生産性の高い量産に適した不揮発性メモリ等を実現することができる。

【0132】(第9実施形態) 図19(A)はこの発明の第9実施形態の微細構造を用いた半導体素子としてのMOS(メタル・オキサイド・セミコンダクタ)FET(電界効果トランジスタ)の平面図を示し、図19(B)は図19(A)のB-B線から見た断面図を示し、図19(C)は図19(A)のC-C線から見た断面図を示している。

【0133】図19(A)~(C)に示すように、シリコン基板151上に段部153を形成した後、上記第7実施形態の細線の製造方法を用いて、絶縁膜152と、領域152aにより絶縁分離されたナノメータサイズの半導体からなる細線154(幅5nm)とを形成する。上記細線154は、絶縁膜152の段部153に沿って形成されている。その後、上記絶縁膜152上および細線154上に膜厚30nmのゲート絶縁膜155をCVD法により形成する。そして、上記ゲート絶縁膜155上にゲート電極156を形成した後、そのゲート電極156をマスクにして不純物をイオン注入して、細線154にソース、ドレイン領域157、158を形成し、細線154のソース領域157とドレイン領域158との間がチャネル領域159となる。そうして、上記細線154の幅を10nm以下にすることによって、チャネル領域159は、細線154の延在方向に対して直交する方向に量子化されて1次元伝導を示すようになり、高速のMOSFETが得られる。

【0134】したがって、上記微細構造であるシリコンSiからなる細線154の一部をチャネル領域159に用いることによって、低コストで歩留りがよくかつ生産性の高い量産に適した超高速トランジスタ等を実現することができる。

【0135】上記第1~第9実施形態では、半導体基板にシリコン基板を用いたが、半導体基板はこれに限らず、シリコン以外の半導体基板でもよい。

【0136】また、上記第1~第9実施形態では、微小粒および細線の材料が半導体のシリコンSiの場合に原料ガスとしてジシラン(Si_2H_6)を用いたが、モノシラン(SiH_4)、トリシラン(Si_3H_8)、ジクロロシラン(SiH_2Cl_2)またはテトラクロロシラン(SiCl_4)のうちのいずれか1つを用いてもよい。

27

【0137】また、上記微小粒および細線の材料がゲルマニウムGeの場合は、原料ガスとしてモノゲルマン(GeH_4)、ジゲルマン(Ge_2H_6)または四フッ化ゲルマニウム(GeF_4)のうちのいずれか1つを用いてもよい。

【0138】また、上記微小粒および細線の材料がシリコンゲルマニウムSiGeの場合、原料ガスとして、モノシラン(SiH_4)、ジシラン(Si_2H_6)、トリシラン(Si_3H_8)、ジクロロシラン(SiH_2Cl_2)またはテトラクロロシラン(SiCl_4)のいずれか1つのガスと、モノゲルマン(GeH_4)、ジゲルマン(Ge_2H_6)または四フッ化ゲルマニウム(GeF_4)のうちのいずれか1つのガスとの混合ガスを用いてもよい。

【0139】また、上記微小粒および細線の材料が金属のアルミニウムAlの場合は、ジメチルアルミニウムハイドライド($\text{DMAH}:(\text{CH}_3)_2\text{AlH}$)等の有機アルミニウムを用いてもよい。

【0140】なお、微小粒および細線の材料は、半導体のシリコンSi、ゲルマニウムGe、シリコンゲルマニウムSiGeおよび金属のアルミニウムAlに限定するものではない。

【0141】また、上記第1～第3実施形態では、微小粒と細線のいずれか一方の微細構造の製造方法について説明したが、微小粒と細線とを両方同時に形成してもよいのは勿論である。また、上記第1～第3実施形態では、微細構造である微小粒と細線を絶縁性薄膜の膜厚が薄い領域に選択的に結晶成長させたが、アモルファスの微小粒または細線を絶縁性薄膜の膜厚が薄い領域に選択的に形成してもよい。

【0142】また、第4、第5実施形態では、この発明の微細構造の製造方法を具体的なデバイスに適用したが、特殊な微細加工装置を用いることなく、導電性の材料の超微細な細線を形成できることから、高密度のLSIの配線に用いることもできる。

【0143】また、この発明の微細構造の製造方法により製造される量子効果デバイス、単電子デバイスの基本となる量子ドット、量子細線を有する半導体素子は、Si系大規模集積回路と同一の基板に搭載でき、この半導体素子を発光素子や光電変換素子に応用することにより、電子回路と光通信回路とを融合することができる。

【0144】

【発明の効果】以上より明らかなように、請求項1の発明の微細構造の製造方法は、半導体基板表面の少なくとも一部に、膜厚が厚い領域と膜厚が薄い領域とを有する絶縁性薄膜を形成した後、上記絶縁性薄膜の膜厚が薄い領域の表面のみに、金属または半導体からなる微小粒と細線のうちの少なくとも一方である微細構造を選択的に形成するものである。

【0145】したがって、請求項1の発明の微細構造の製造方法によれば、一般的な成膜技術、リソグラフィ技術およびエッチング技術等を用いて、上記絶縁性薄膜

(15)

特開平11-345959

28

の膜厚が薄い領域の形成位置を制御することによって、微小粒または細線の成長位置が制御可能になり、微小粒または細線の大きさ、密度の均一性、再現性が良好になると共に、特殊な微細加工技術を用いず簡単な工程で低コストに製造することができ、歩留りがよく高い生産性を有する現実的な微細構造の量産技術を得ることができ

る。

【0146】また、請求項2の発明の微細構造の製造方法は、請求項1の微細構造の製造方法において、上記半導体基板表面に上記絶縁性薄膜を形成するとき、上記半導体基板表面に絶縁性薄膜を形成した後に、その絶縁性薄膜の一部の領域のみを薄肉化したので、一般的な成膜技術、リソグラフィ技術およびエッチング技術等により上記絶縁性薄膜の一部の領域のみを薄肉化でき、絶縁性薄膜に薄い領域を簡単な工程で容易に形成することができる。

【0147】また、請求項3の発明の微細構造の製造方法は、請求項1の微細構造の製造方法において、上記半導体基板表面に上記絶縁性薄膜を形成するとき、上記半導体基板表面に上記厚い領域となる第1の部分形成して、その第1の部分の一部の領域のみを除去した後、上記第1の部分が除去された半導体基板表面に上記薄い領域となる第2の部分形成したので、一般的な成膜技術、リソグラフィ技術およびエッチング技術等を用いて、上記半導体基板表面の露出領域の形成位置を制御することによって、上記微細構造の形成位置を容易に制御できる。

【0148】また、請求項4の発明の微細構造の製造方法は、請求項3の微細構造の製造方法において、上記半導体基板表面に上記第1の部分形成した後、上記第1の部分をパターニングして半導体基板表面の一部を露出させ、その後、上記半導体基板表面の露出領域を酸化することにより上記第2の部分形成したので、簡単な工程で膜厚の薄い領域を得ることができる。

【0149】また、請求項5の発明の微細構造の製造方法は、請求項3の微細構造の製造方法において、上記半導体基板表面に上記第1の部分形成した後、上記第1の部分をパターニングして半導体基板表面の一部を露出させ、その後、上記半導体基板表面の露出領域上に上記第2の部分を堆積したので、簡単な工程で膜厚の薄い領域を得ることができる。

【0150】また、請求項6の発明の微細構造の製造方法は、請求項1の微細構造の製造方法において、上記半導体基板表面に上記絶縁性薄膜を形成するステップの前に、上記半導体基板表面にエッジ部を予め形成し、上記半導体基板表面に上記絶縁性薄膜を形成するとき、上記エッジ部が予め形成された半導体基板表面を酸化すると、酸化中にエッジ部では応力開放が進まずに他の部分に比べて酸化膜厚が薄くなるので、絶縁性薄膜としての酸化膜に膜厚が薄い領域(エッジ部)を容易に形成するこ

29

とができる。

【0151】また、請求項7の発明の微細構造の製造方法は、請求項1の微細構造の製造方法において、上記半導体基板表面に上記絶縁性薄膜を形成するステップの前に、上記半導体基板表面に段差または尖端を有する形状を予め形成し、上記半導体基板表面に上記絶縁性薄膜を形成するとき、上記段差または尖端を有する形状が予め形成された半導体基板表面を酸化すると、酸化中に段差または尖端を有する形状では応力開放が進まずに他の部分に比べて酸化膜厚が薄くなるので、絶縁性薄膜としての酸化膜に膜厚が薄い領域(段差または尖端を有する形状)を容易に形成することができる。

【0152】また、請求項8の発明の微細構造の製造方法は、請求項1の微細構造の製造方法において、上記半導体基板を反応室内に導入して、その反応室内が 10^{-4} Torr以下の高真空になるように排気した後、反応室内に原料ガスを流し、その原料ガス分圧が 10^{-2} Torr以下の圧力下で、上記絶縁性薄膜の膜厚が薄い領域のみに微細構造を気相成長させるので、一般的な高真空CVD装置を用いて、反応室内に真空度、原料ガスの導入量、導入時間や基板温度等を制御することによって、所望の大きさ、密度の微小粒、細線を均一に再現性よく形成することができる。

【0153】また、請求項9の発明の微細構造の製造方法は、請求項8の微細構造の製造方法において、上記微細構造がシリコンからなる場合、原料ガスとしてモノシラン(SiH_4)、ジシラン(Si_2H_6)、トリシラン(Si_3H_8)、ジクロロシラン(SiH_2Cl_2)またはテトラクロロシラン(SiCl_4)のうちのいずれか1つを用いるので、一般的なCVD装置を用いて反応させて、上記絶縁性薄膜の膜厚が薄い領域上にシリコンからなる上記微小粒、細線を形成することによって、微小粒、細線の大きさおよび密度の均一性や再現性がさらによくなる。

【0154】また、請求項10の発明の微細構造の製造方法は、請求項8の微細構造の製造方法において、上記微細構造がゲルマニウムからなる場合、原料ガスとしてモノゲルマン(GeH_4)、ジゲルマン(Ge_2H_6)または四フッ化ゲルマニウム(GeF_4)のうちのいずれか1つを用いるので、一般的なCVD装置を用いて反応させて、上記絶縁性薄膜の膜厚が薄い領域上にゲルマニウムからなる上記微小粒、細線を形成することによって、微小粒、細線の大きさおよび密度の均一性や再現性がさらによくなる。

【0155】また、請求項11の発明の微細構造の製造方法は、請求項8の微細構造の製造方法において、上記微細構造がシリコンゲルマニウムからなる場合、原料ガスとして、モノシラン(SiH_4)、ジシラン(Si_2H_6)、トリシラン(Si_3H_8)、ジクロロシラン(SiH_2Cl_2)またはテトラクロロシラン(SiCl_4)のうちのいずれか1つのガスと、モノゲルマン(GeH_4)、ジゲルマン(Ge_2H_6)ま

(16)

特開平11-345959

30

または四フッ化ゲルマニウム(GeF_4)のうちのいずれか1つのガスとの混合ガスを用いるので、一般的なCVD装置を用いて反応させて、上記絶縁性薄膜の膜厚が薄い領域上にシリコンゲルマニウムからなる上記微小粒、細線を形成することによって、微小粒、細線の大きさおよび密度の均一性や再現性がさらによくなる。

【0156】また、請求項12の発明の微細構造の製造方法は、請求項8の微細構造の製造方法において、上記微細構造がアルミニウムからなる場合、原料に有機アルミニウムを用いるので、例えば有機金属CVD装置を用いて反応させて、上記絶縁性薄膜の膜厚が薄い領域上にアルミニウムからなる上記微小粒、細線を形成することによって、微小粒、細線の大きさおよび密度の均一性や再現性がさらによくなる。

【0157】また、請求項13の発明の微細構造の製造方法は、半導体基板表面にエッジ部を形成し、上記半導体基板表面のエッジ部以外の領域に絶縁性薄膜を形成し、上記エッジ部の表面のみに半導体からなる細線である微細構造を選択的に形成するものである。

【0158】したがって、上記請求項13の発明の微細構造の製造方法によれば、一般的な成膜技術、リソグラフィ技術およびエッチング技術等により絶縁性薄膜に覆われていないエッジ部の形成位置を制御することによって、細線の成長位置制御が可能となると共に、細線の大きさの均一性、再現性も良好となると共に、特殊な微細加工技術を用いずに簡単な工程により上記微細構造を形成できるので、製造コストを低減でき、歩留りがよく高い生産性を有する現実的な微細構造の量産技術を得ることができる。また、上記微細構造を量子細線として用いることによって、優れた特性の半導体素子を実現することができる。

【0159】また、請求項14の発明の微細構造の製造方法は、請求項13の微細構造の製造方法において、上記エッジ部が形成された上記半導体基板を酸化することにより上記絶縁性薄膜を形成して、上記絶縁性薄膜のエッジ部に他の領域よりも膜厚が薄い領域を形成した後、さらに上記絶縁性薄膜をエッチングすることにより上記エッジ部の表面のみを露出させるので、そのエッジ部の半導体表面のみを容易に露出させることができる。

【0160】また、請求項15の発明の微細構造の製造方法は、請求項13の微細構造の製造方法において、上記半導体からなる細線である微細構造を形成した後、上記半導体からなる細線である微細構造と上記半導体基板との接統領域を酸化して酸化膜に変質させるので、上記細線と半導体基板とを酸化膜により絶縁分離することによって、単電子デバイスに応用可能な量子細線が得られる。

【0161】また、請求項16の発明の微細構造の製造方法は、請求項15の微細構造の製造方法において、上記絶縁性薄膜を一旦除去した後、上記半導体からなる細

(17)

特開平11-345959

31

線である微細構造と半導体基板との接続領域を酸化して酸化膜に変質させるので、上記細線と半導体基板とを確実に絶縁分離する酸化膜を形成することができる。

【0162】また、請求項17の発明の微細構造の製造方法は、請求項13の微細構造の製造方法において、上記半導体基板を反応室内に導入して、その反応室内が 10^{-4} Torr以下の高真空になるように排気した後、反応室内に原料ガスを流し、その原料ガス分圧が 10^{-2} Torr以下の圧力下で、上記エッジ部の表面のみに微細構造を気相成長させるので、一般的な高真空CVD装置を用いて、反応室内に真空度、原料ガスの導入量、導入時間や基板温度等を制御することによって、所望の大きさ、密度の微細構造を均一に再現性よく形成することができる。

【0163】また、請求項18の発明の微細構造の製造方法は、請求項17の微細構造の製造方法において、上記微細構造がシリコンからなる場合、原料ガスとしてモノシラン(SiH_4)、ジシラン(Si_2H_6)、トリシラン(Si_3H_8)、ジクロロシラン(SiH_2Cl_2)またはテトラクロロシラン(SiCl_4)のうちのいずれか1つを用いるので、一般的なCVD装置を用いて反応させて、上記絶縁性薄膜の膜厚が薄い領域上にシリコンからなる上記微細構造を形成することによって、微細構造の大きさおよび密度の均一性や再現性がさらによくなる。

【0164】また、請求項19の発明の微細構造の製造方法は、請求項17の微細構造の製造方法において、上記微細構造がゲルマニウムからなる場合、原料ガスとしてモノゲルマン(GeH_4)、ジゲルマン(Ge_2H_6)または四フッ化ゲルマニウム(GeF_4)のうちのいずれか1つを用いるので、一般的なCVD装置を用いて反応させて、上記絶縁性薄膜の膜厚が薄い領域上にゲルマニウムからなる上記微細構造を形成することによって、微細構造の大きさおよび密度の均一性や再現性がさらによくなる。

【0165】また、請求項20の発明の微細構造の製造方法は、請求項17の微細構造の製造方法において、上記微細構造がシリコンゲルマニウムからなる場合、原料ガスとして、モノシラン(SiH_4)、ジシラン(Si_2H_6)、トリシラン(Si_3H_8)、ジクロロシラン(SiH_2Cl_2)またはテトラクロロシラン(SiCl_4)のうちのいずれか1つのガスと、モノゲルマン(GeH_4)、ジゲルマン(Ge_2H_6)または四フッ化ゲルマニウム(GeF_4)のうちのいずれか1つのガスとの混合ガスを用いるので、一般的なCVD装置を用いて反応させて、上記絶縁性薄膜の膜厚が薄い領域上にシリコンゲルマニウムからなる上記微細構造を形成することによって、微細構造の大きさおよび密度の均一性や再現性がさらによくなる。

【0166】また、請求項21の発明の微細構造を用いた半導体素子は、ソース領域と、ドレイン領域と、上記ソース領域とドレイン領域との間のチャネル領域と、上記チャネル領域に流れるチャネル電流を制御するゲート

32

領域と、上記チャネル領域とゲート領域の間に位置する浮遊ゲート領域と、上記浮遊ゲート領域とゲート領域との間の第1絶縁膜と、上記チャネル領域と浮遊ゲート領域との間の第2絶縁膜とを備え、上記浮遊ゲート領域は、請求項1乃至20のいずれか1つの微細構造の製造方法により形成された微細構造であるものである。

【0167】したがって、請求項21の発明の微細構造を用いた半導体素子によれば、上記微小粒と細線のうちの少なくとも一方を上記浮遊ゲート領域とすることによって、低消費電力、高密度で大容量の性能が飛躍的に向上した不揮発性メモリを実現できると共に、低コストで歩留りがよくかつ生産性の高い量産に適した不揮発性メモリを実現することができる。また、この発明の微細構造を用いた半導体素子は、単電子デバイスの基本となる量子ドット、量子細線を有する半導体素子としてSi系大規模集積回路と同一の基板に搭載することができる。

【0168】また、請求項22の発明の微細構造を用いた半導体素子は、ソース領域と、ドレイン領域と、上記ソース領域とドレイン領域との間のチャネル領域と、上記チャネル領域に流れるチャネル電流を制御するゲート領域と、上記チャネル領域とゲート領域との間のゲート絶縁膜とを備え、上記チャネル領域は、請求項1乃至11および請求項13乃至20のいずれか1つの微細構造の製造方法により形成された半導体からなる細線であるものである。

【0169】したがって、請求項22の発明の微細構造を用いた半導体素子によれば、上記細線を上記チャネル領域とすることによって、チャネル領域は細線の延在方向に対して直交する方向に量子化されて1次元伝導を示すので、超高速動作が可能なトランジスタを得ることができ、低コストで歩留りがよくかつ生産性の高い量産に適した超高速トランジスタを実現することができる。また、この発明の微細構造を用いた半導体素子は、量子効果デバイスの基本となる量子細線を有する半導体素子としてSi系大規模集積回路と同一の基板に搭載することができる。

【0170】また、請求項23の発明の微細構造を用いた半導体素子は、請求項1乃至11のいずれか1つの微細構造の製造方法により形成された半導体からなる微小粒と、上記微小粒を挟むように形成された絶縁膜と、上記絶縁膜をさらに挟むように形成された電極とを備え、上記電極間に電圧を印加することによって上記微小粒が発光するものである。

【0171】したがって、請求項23の発明の微細構造を用いた半導体素子によれば、上記半導体からなる微小粒を絶縁膜で挟み、さらに絶縁膜を電極で挟んで、微小粒を直接遷移型のバンド構造にすることによって、電極間に電圧を印加すると微小粒が発光し、低コストで歩留りがよくかつ生産性の高い量産に適した発光素子を実現することができる。また、この発明の微細構造を用いた

33

半導体素子は、量子効果デバイスの基本となる量子ドットを有する半導体素子としてSi系大規模集積回路と同一の基板上に搭載でき、この半導体素子を発光素子や光電変換素子に応用することにより、電子回路と光通信回路との融合を実現することができる。

【図面の簡単な説明】

【図1】 図1は微小粒である微細構造の成長過程を示す図である。

【図2】 図2はこの発明の第1実施形態の微細構造の製造方法を示す工程図である。

【図3】 図3はこの発明の第2実施形態の微細構造の製造方法を示す工程図である。

【図4】 図4はこの発明の第3実施形態の微細構造の製造方法を示す工程図である。

【図5】 図5は上記第3実施形態の微細構造の製造方法により製造された微小粒の断面拡大図である。

【図6】 図6はこの発明の第4実施形態の微細構造を用いた半導体素子としての不揮発性メモリの平面図である。

【図7】 図7は図6のVII-VII線から見た断面図である。

【図8】 図8(A)は図6のVIII-VIII線から見た断面図であり、図8(B)は微小粒を用いた場合の図6のVIII-VIII線から見た断面図である。

【図9】 図9(A)はこの発明の第5実施形態の微細構造を用いた半導体素子としてのMOSFETの平面図であり、図9(B)は図9(A)のB-B線から見た断面図であり、図9(C)は図9(A)のC-C線から見た断面図である。

【図10】 図10はこの発明の第6実施形態の微細構造を用いた半導体素子としての発光素子の平面図である。

【図11】 図11(A)~(D)はこの発明の微細構造の製造方法における半導体からなる細線の成長過程を示す図である。

【図12】 図12は図11(A)の要部の断面拡大図である。

【図13】 図13はこの発明の第7実施形態の微細構造の製造方法により形成される半導体からなる細線の過程を示す斜視図である。

【図14】 図14(A)は上記細線の形成後の断面図であり、図14(B)は酸化により細線と半導体基板を絶縁分離した状態を示す断面図である。

【図15】 図15(A)は上記細線の形成後の断面図であり、図15(B)は酸化膜を除去した状態を示す断面図であり、図15(C)は酸化膜を除去した後に再び酸化により細線と半導体基板を絶縁分離した状態を示す断面図である。

【図16】 図16はこの発明の第8実施形態の微細構造を用いた半導体素子としての不揮発性メモリの平面図

(18)

特開平11-345959

34

である。

【図17】 図17は図16のXVII-XVII線から見た断面図である。

【図18】 図18は図16のXVIII-XVIII線から見た断面図である。

【図19】 図19(A)はこの発明の第9実施形態の微細構造を用いた半導体素子としてのMOSFETの平面図であり、図19(B)は図19(A)のB-B線から見た断面図であり、図19(C)は図19(A)のC-C線から見た断面図である。

【図20】 図20は従来の微細構造を用いた半導体素子としての量子ドットを用いた単電子トランジスタの断面図である。

【図21】 図21は従来の微細構造を用いた半導体素子としての量子ドットを用いた発光素子の断面図である。

【図22】 図22(a)~(d)は従来の微細構造の製造方法としてのSi量子細線の製造方法を説明する工程図である。

【図23】 図23は上記Si量子細線を用いた単電子デバイスのドレイン電流のゲート依存性を示す図である。

【図24】 図24(A)~(C)は従来の選択成長を利用したSi細線の成長過程を示す図である。

【符号の説明】

1, 11, 21...シリコン基板、2, 12, 22...酸化膜、3, 3a, 3b, 3c, 4, 15, 28, 37...微小粒、13, 23...レジスト、14, 24...除去領域、22, 26, 27...酸化膜、24...除去領域、25...露出領域、31...シリコン基板、32...溝、33...段部、34...エッジ部、35...膜厚の厚い領域、36...膜厚の薄い領域、41...シリコン基板、42...素子分離領域、43...ソース領域、44...ドレイン領域、45...トンネル絶縁膜、46...段部、47A...細線、47B...微小粒、48...コントロール絶縁膜、49...ゲート電極、51...シリコン基板、52...絶縁膜、53...段部、54...細線、55...ゲート絶縁膜、56...ゲート電極、57...ソース領域、58...ドレイン領域、59...チャネル領域、61...シリコン基板、62, 64...絶縁膜、63...微小粒、65...透明電極、66...段部、101...シリコン基板、102...段部、103...エッジ部、104...酸化膜、106...細線、109...接続領域、111...シリコン基板、112...溝、113...酸化膜、114...エッジ部、116, 117, 118...細線、141...シリコン基板、142...素子分離領域、143...ソース領域、144...ドレイン領域、145...トンネル絶縁膜、146...段部、147...細線、148...コントロール絶縁膜、149...ゲート電極、151...シリコン基板、152...絶縁膜、153...段部、154...細線、155...ゲート絶縁膜、156...ゲート電極、157...ソース領域、158...ドレイン

(19)

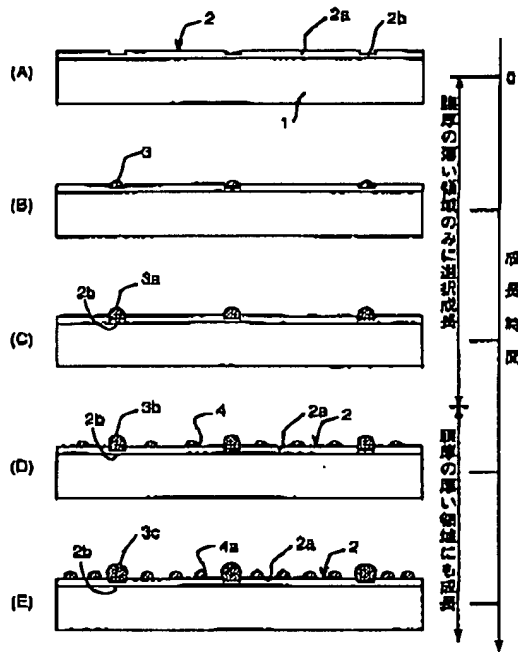
特開平 1 1 - 3 4 5 9 5 9

35

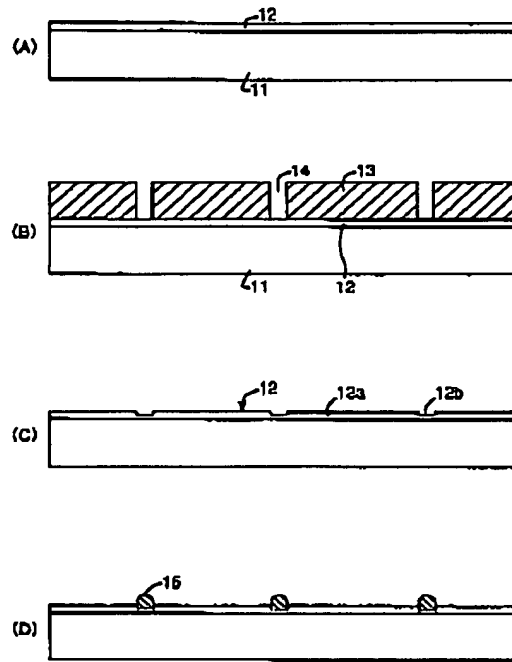
36

傾坡、159...チャネル傾坡。

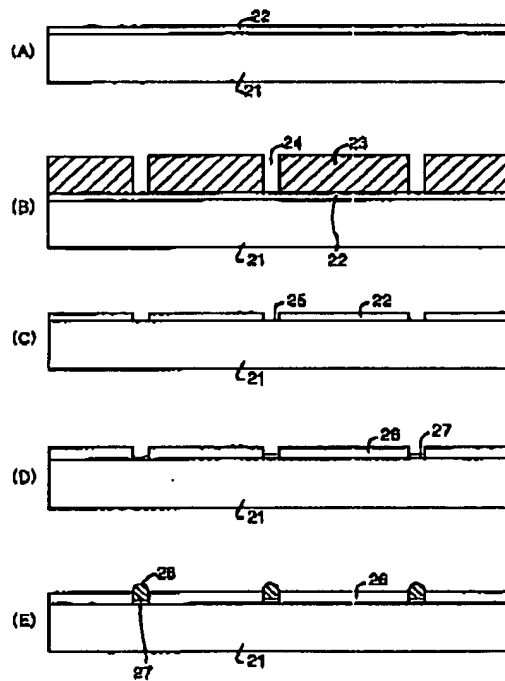
【図 1】



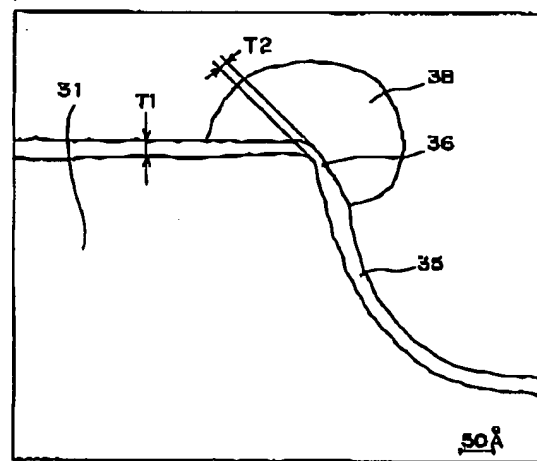
【図 2】



【図 3】



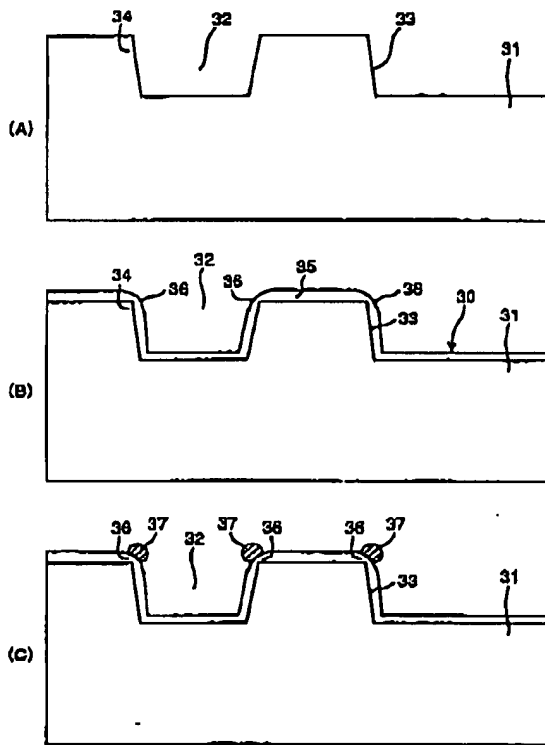
【図 5】



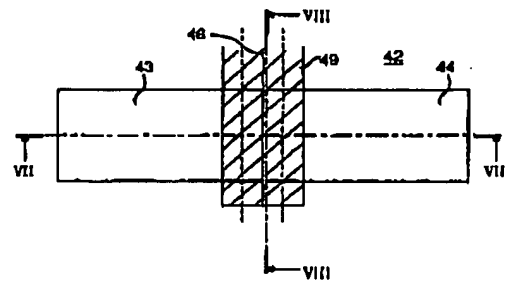
(20)

特開平 1 1 - 3 4 5 9 5 9

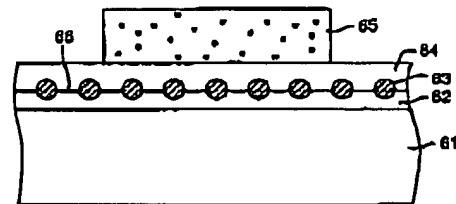
【図 4】



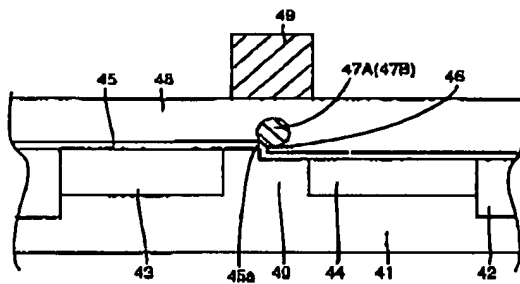
【図 6】



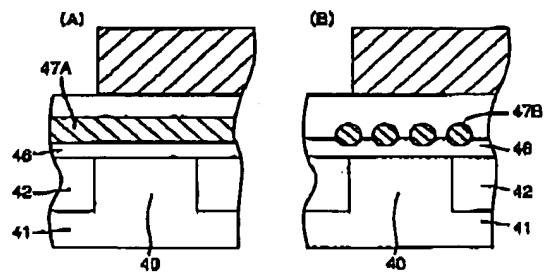
【図 10】



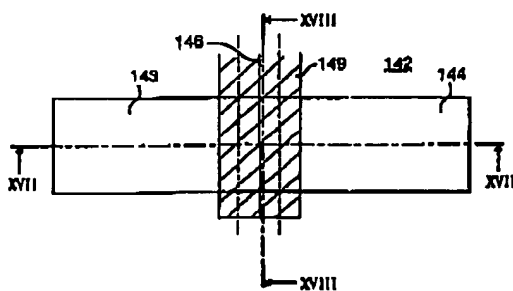
【図 7】



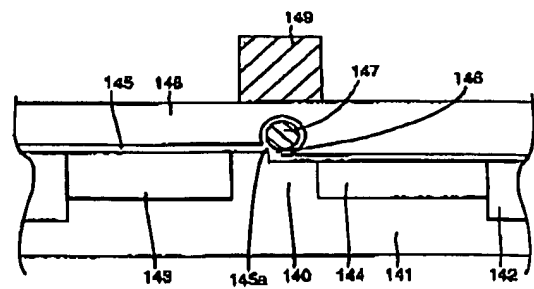
【図 8】



【図 16】



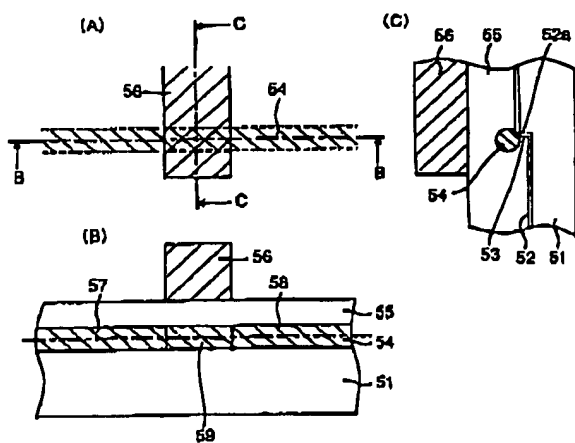
【図 17】



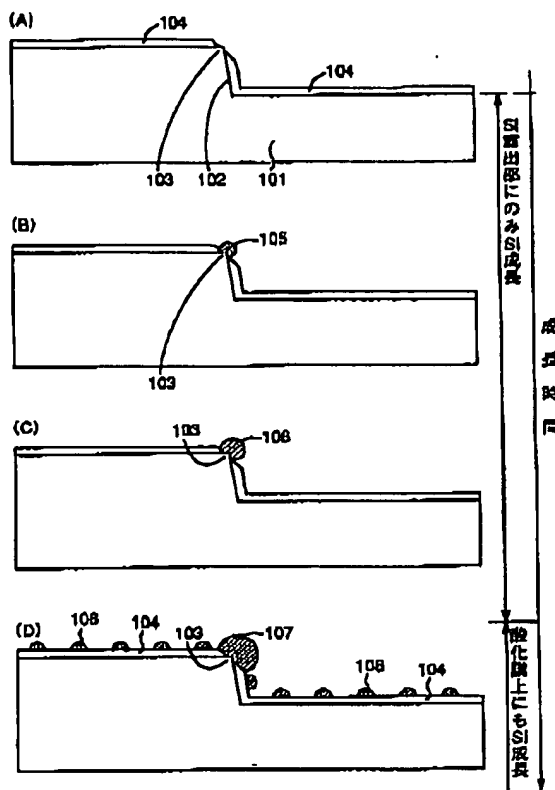
(21)

特開平 1 1 - 3 4 5 9 5 9

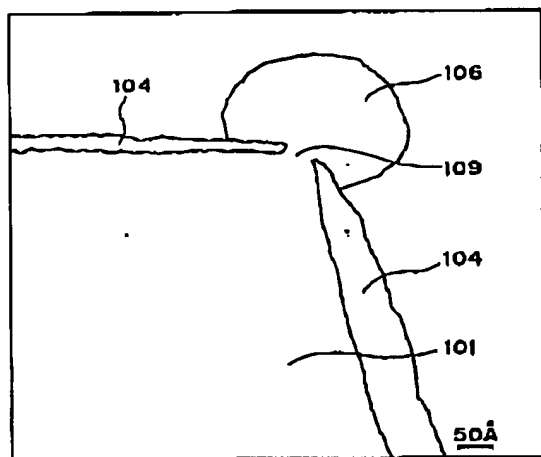
【図 9】



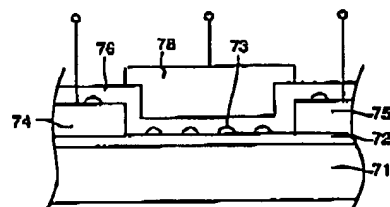
【図 11】



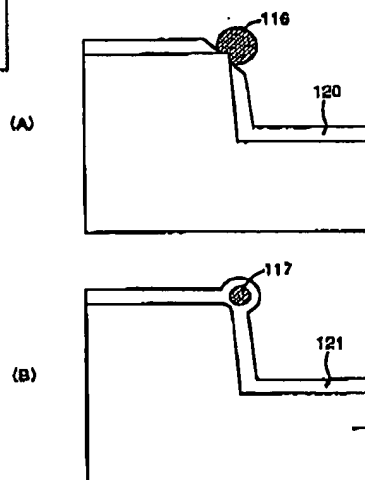
【図 12】



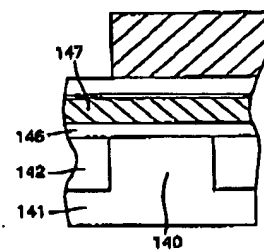
【図 20】



【図 14】



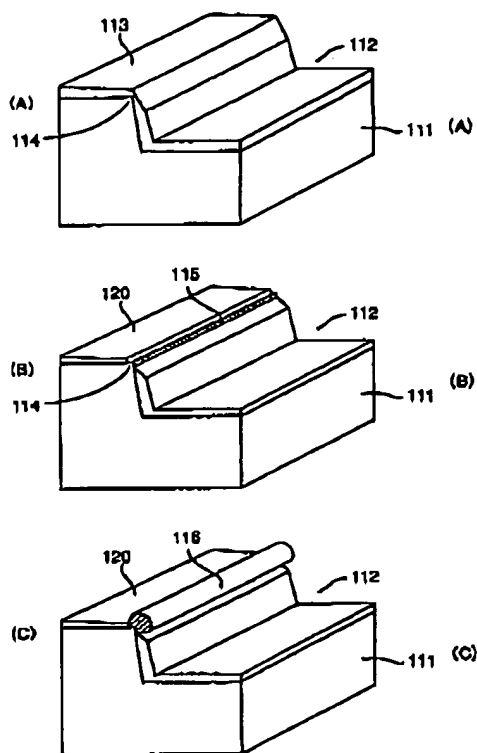
【図 18】



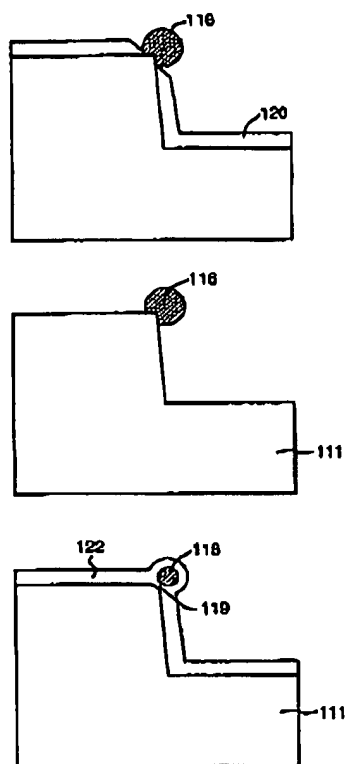
(22)

特開平 1 1 - 3 4 5 9 5 9

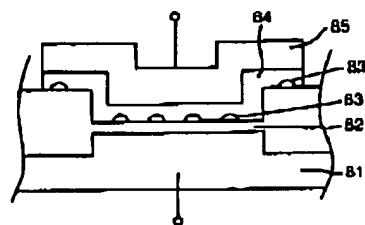
【図 13】



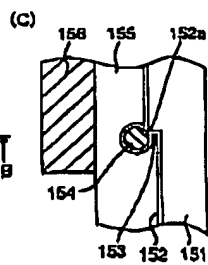
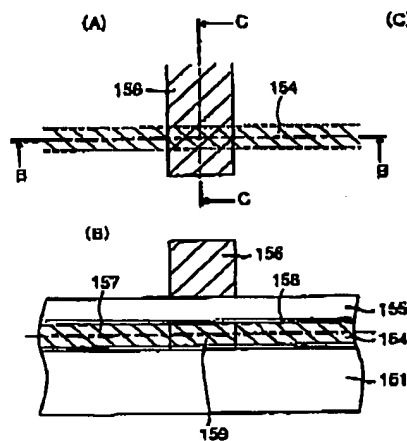
【図 15】



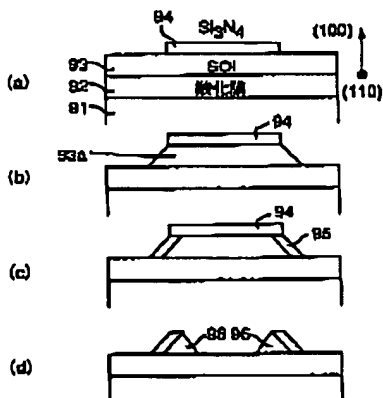
【図 21】



【図 19】



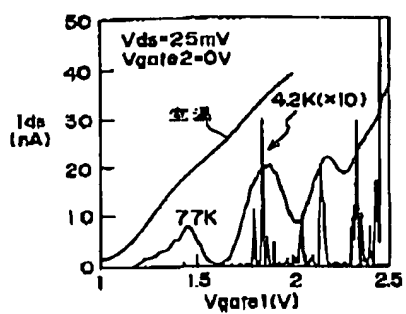
【図 22】



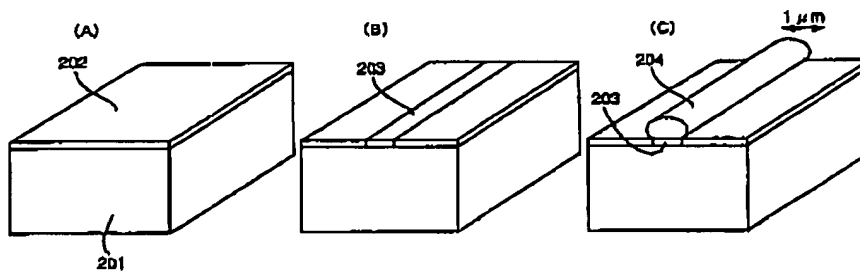
(23)

特開平 11-345959

【図 23】



【図 24】



フロントページの続き

(51) Int. Cl. ⁶

H01L 21/8247
29/788
29/792
33/00

識別記号

FI

H01L 29/78

301J

371